



Universidad  
Carlos III de Madrid

Grado en Ingeniería Electrónica Industrial y Automática  
Departamento de Tecnología Electrónica

TRABAJO FIN DE GRADO

# Sistema de Instrumentación para la Medida de Emisiones Acústicas en Estructuras Aeronáuticas

Autor: Jorge Moreno López

Tutor: José Antonio García Souto

Leganés, septiembre de 2015



Título: Sistema de Instrumentación para la Medida de Emisiones  
Acústicas en Estructuras Aeronáuticas

Autor: Jorge Moreno López

Director: José Antonio García Souto

## EL TRIBUNAL

Presidente: Raúl Sánchez Reillo

Vocal: Santiago Morante Cendrero

Secretario: Matías Nicolás Braun

Realizado el acto de defensa y lectura del Trabajo Fin de Grado el día 5 de octubre de 2015 en Leganés, en la Escuela Politécnica Superior de la Universidad Carlos III de Madrid, acuerda otorgarle la CALIFICACIÓN de

VOCAL

SECRETARIO

PRESIDENTE

# Agradecimientos

*En primer lugar, gracias a José Antonio  
por amoldarse a mis requerimientos.*

*A mis padres, porque sin ellos nada  
hubiera sido posible.*

*Por último, a mi pareja, Sandra, que me  
animó a acabar lo que había empezado.*

# Resumen

La confianza en el estado de deterioro de los materiales en una estructura aeronáutica se basa en el diagnóstico del envejecimiento en dichos materiales. Los elementos diseñados con el fin de formar parte de una aeronave son de un alto valor capital y han de proporcionar una confianza total, y por tanto, tener la capacidad de ejecutar análisis en profundidad de todos los elementos resulta totalmente necesario. Debido al envejecimiento de los materiales, se produce la aparición de impulsos con frecuencias asociadas a los ultrasonidos. Estos sucesos se estudian mediante la técnica de inspección denominada Emisión Acústica (EA).

Por lo general, el estudio de EA requiere tomar en consideración múltiples sucesos. Sin embargo, se escogen los parámetros más representativos para la realización de una base de datos con la que poder realizar un estudio de mayor alcance. Con el fin de obtener todos los datos necesarios, los sistemas electrónicos que se diseñan incluyen un sensor piezoeléctrico que mediante la energía mecánica que está actuando sobre la estructura nos proporciona una señal eléctrica. Dicha señal es acondicionada (amplificación y filtrado, cuanto menos) para proporcionar la información que se desea obtener.

El presente proyecto relata cómo ha sido el diseño de un sistema electrónico que sirva para el estudio de Emisión Acústica en estructuras con fines aeronáuticos. Se trata de un sistema con 2 canales que filtrará y amplificará la señal eléctrica proporcionada por un sensor piezoeléctrico. El filtro diseñado actuará dentro de un rango de frecuencias perteneciente a los ultrasonidos para un correcto estudio de Emisión Acústica. La etapa de amplificación será variable de forma fácil y cómoda acorde con distintos grados de sensibilidad de los sensores piezoeléctricos.

**Palabras clave:** estructura aeronáutica, confianza, ultrasonidos, Emisión Acústica, EA, sensor piezoeléctrico, amplificación, filtrado, paso-banda

# Abstract

Confidence in the condition of deterioration of the materials in an aeronautical structure is based on the diagnosis of the wear on the above mentioned materials. The elements designed in order to form a part of an aircraft are of a high cardinal value and have to provide a total confidence, and therefore, to have the aptitude to execute analysis in depth of all the elements turns out to be totally necessary. Due to the aging of the materials, it is common that produce impulses with frequencies associated with the ultrasounds. These events are studied by means of the technology of inspection named Acoustic Emission (AE).

In general, EA's study needs to take in consideration multiple events. Nevertheless, the most representative parameters are chosen for the accomplishment of a database with which to be able to realize a study of major scope. In order to obtain all the necessary information, the electronic systems that are designed you include a piezoelectric sensor that by means of the mechanical energy that is acting on the structure provides an electrical sign to us. The above mentioned sign is conditioned (amplification and filtering, as minimum) to provide the information that is wanted to obtain.

The present project reports how it has been the design of an electronic system that serves as base of a system of great more importance and that serves for the study of Acoustic Emission in structures with aeronautical ends. The designed system will be composed by 2 channels that will filtering and amplify the electrical sign provided by a piezoelectric sensor (one for channel). The designed filter will act in a range of frequencies inside the ultrasounds and like that serve to realize a correct study of Acoustic Emission. The stage of amplification will be a variable of easy and comfortable form according to different degrees of sensibility of the piezoelectric sensors.

**Keywords:** aeronautical structure, confidence, ultrasounds, Acoustic Emission, AE, piezoelectric sensor, amplification, filtering, passband

# Índice general

<b>1. INTRODUCCIÓN Y OBJETIVOS.....</b>	<b>1</b>
1.1 Introducción .....	1
1.2 Objetivos .....	2
1.3 Fases del desarrollo .....	2
1.4 Medios empleados.....	3
1.5 Estructura de la memoria .....	3
<b>2. PRINCIPIOS BÁSICOS DE LOS ULTRASONIDOS Y DE LA EMISIÓN ACÚSTICA(EA).....</b>	<b>5</b>
2.1 Principios básicos de los ultrasonidos .....	5
2.1.1 Introducción a los ultrasonidos .....	5
2.1.2 Transductores de ultrasonidos.....	6
2.2 Emisión Acústica(EA) .....	7
2.2.1 Historia de la Emisión Acústica .....	7
2.2.2 Introducción a las pruebas basadas en Emisión Acústica .....	8
2.2.3 Ventajas y desventajas de las técnicas de EA .....	9
2.2.4 Medida y parámetros de señales de EA .....	9
2.3 Normativa para pruebas de Emisión Acústica (EA) .....	11
<b>3. EQUIPOS DE ULTRASONIDOS DEL GRUPO DE OPTOELECTRÓNICA Y TECNOLOGÍA</b>	
<b>LÁSER (GOTL) .....</b>	<b>13</b>
3.1 Equipos de Brüel & Kjaer .....	13
3.2 Equipos de Olympus/Panametrics .....	14
3.3 Equipos de Physical Acoustics/Mistras.....	16
<b>4. DISEÑO DEL SISTEMA. ALTERNATIVAS AL DISEÑO.....</b>	<b>17</b>
4.1 Introducción al diseño. Esquema de bloques .....	17
4.2 Filtrado .....	18
4.2.1 Filtro paso bajo.....	18
4.2.2 Filtro paso alto .....	19
4.3 Amplificación .....	20
4.4 Alternativas al diseño .....	21
4.4.1 LTC1560-1 .....	21

4.4.2 PGA103 .....	22
4.4.3 LTC1264 .....	22
<b>5. IMPLEMENTACIÓN DEL DISEÑO .....</b>	<b>41</b>
5.1 Introducción .....	23
5.2 Implementación .....	24
5.2.1 Placa de alimentación .....	24
5.2.2 'Demo-board' de LTC6603 (filtro paso bajo) .....	25
5.2.3 Placa analógica .....	25
5.3 Elección de componentes .....	26
5.3.1 Conexión entre placas .....	26
5.3.2 Reguladores de tensión L78SXX .....	27
5.3.3 Regulador de tensión MCP1700-3002 .....	28
5.3.4 Regulador de tensión L7912 .....	28
<b>6. PRUEBAS DE FUNCIONAMIENTO. CONCLUSIONES FINALES.....</b>	<b>29</b>
6.1 Resultados de la implementación .....	29
6.2 Caracterización de los subsistemas .....	31
6.2.1 Funcionamiento de la placa de alimentación .....	31
6.2.2 Caracterización dinámica del LTC6603 .....	31
6.2.3 Caracterización dinámica de la etapa de amplificación .....	33
6.3 Pruebas de conjunto .....	33
6.4 Conclusiones .....	37
<b>7. PRESUPUESTO .....</b>	<b>39</b>
<b>BIBLIOGRAFÍA .....</b>	<b>43</b>
<b>ANEXOS.....</b>	<b>45</b>
Esquema electrónico de la placa de alimentación	
Esquema electrónico de la placa de alimentación	
Hoja de características del LTC6603	
Hoja de características del PGA202	



# Índice de figuras

Figura 1. Imagen del espectro acústico .....	¡Error! Marcador no definido.
Figura 2. Componentes de un transductor de ultrasonidos .....	6
Figura 3. Comparativa entre técnicas de EA activas y pasivas. ....	9
Figura 4. Sistema de medida de EA .....	10
Figura 5. Parámetros de una señal de EA .....	10
Figura 6. Hidrófono 8103 de Brüel & Kjaer .....	13
Figura 7. Amplificador de potencia 2713 de Brüel & Kjaer.....	14
Figura 8. Acondicionador NEXUS 2690 de Brüel & Kjaer.....	14
Figura 9. Pulser-Receiver 5077PR de Olympus/Panametrics.....	15
Figura 10. Palpadores de ultrasonidos X1019 y X020 de Olympys/Panametrics.....	15
Figura 11. Transductor de inmersión V303-Su de Olympys/Panametrics.....	16
Figura 12. Sensor R15I-AST de Physical Acoustics/Mistras .....	16
Figura 13. Esquema de bloques del diseño .....	18
Figura 14. Gráfica de frecuencias $f_{clk}$ vs $f_{corte}$ .....	19
Figura 15. Esquema de la placa de alimentación .....	24
Figura 16. Esquema de la ‘Demo-Board’ del LTC6603. ....	25
Figura 17. Esquema de la placa analógica .....	25
Figura 18. Imagen de cables conductores. ....	26
Figura 19. Conector BNC para placas de circuito impreso.....	26
Figura 20. Conector SMA para placas de circuito impreso .....	27
Figura 21. Conector SMB para placas de circuito impreso .....	27
Figura 22. Esquema electrónico para reguladores L78SXX.....	28
Figura 23. Placa de alimentación del sistema .....	29
Figura 24. Placa analógica del sistema .....	30
Figura 25. ‘Demo-Board’ del LTC6603 .....	30
Figura 26. Prueba de funcionamiento para el modo 00 del LTC6603 .....	31
Figura 27. Prueba de funcionamiento para el modo 01 del LTC6603 .....	32
Figura 28. Prueba de funcionamiento para el modo 1X del LTC6603 .....	32
Figura 29. Respuesta en frecuencia experimental de la etapa de amplificación .....	33

Figura 30. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 100 kHz y modo 01 del LTC6603 .....	34
Figura 31. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 350 kHz y modo 01 del LTC6603 .....	34
Figura 32. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 550 kHz y modo 01 del LTC6603 .....	35
Figura 33. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 400 kHz y modo 1X del LTC6603 .....	35
Figura 34. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 1.5 MHz y modo 1X del LTC6603 .....	36
Figura 35. Respuesta en frecuencia experimental del sistema completo para una frecuencia de corte de 2.4 MHz y modo 1X del LTC6603 .....	36

# Índice de tablas

Tabla 1. Codificación para el ajuste de la frecuencia de corte del LTC6603 .....	19
Tabla 2. Valores de la ganancia según los parámetros A0 y A1 del PGA202 .....	20
Tabla 3. Relación entre la ganancia y el ancho de banda del PGA202 .....	20
Tabla 4. Control de la ganancia para el LTC6603 .....	21
Tabla 5. Relación entre la ganancia seleccionada y la ganancia real a 1 MHz para el PGA103 .....	22
Tabla 6. Medida del voltaje en la placa de alimentación .....	31



# Capítulo 1

## Introducción y objetivos

### 1.1 Introducción

La confianza en la calidad de los materiales en una estructura aeronáutica se basa en el diagnóstico del envejecimiento en dichos materiales. Los elementos desarrollados con el fin de formar parte de una aeronave son muy caros y han de proporcionar una confianza absoluta, y por tanto, un análisis en profundidad de estos elementos resulta totalmente necesario. Son estructuras cuyo régimen de funcionamiento está condicionado por:

- Niveles de presurización.
- Cargas que soportan.
- Peso de la estructura.
- Rozamiento con el aire.

Como síntoma de envejecimiento del material, se produce la aparición de impulsos elásticos con frecuencias asociadas a ultrasonidos. Este suceso se estudiará mediante la técnica de inspección denominada Emisión Acústica (EA).

Sin duda, la localización rápida y precisa de las zonas más deterioradas del material es algo que tiene un gran interés.

Por lo general, el estudio de EA requiere una evaluación estadística de múltiples sucesos. Sin embargo, se eligen los parámetros más representativos para la realización de una base de datos con la que poder realizar un estudio de mayor envergadura.

Para la consecución de estos datos, se incluye un sensor piezoeléctrico que mediante la energía mecánica que está actuando sobre la estructura proporciona una señal eléctrica. Dicha señal es acondicionada (amplificación y filtrado, cuanto menos) para proporcionar la información que se desea obtener.

## 1.2 Objetivos

El objetivo fundamental de este Trabajo de Fin de Grado es el diseño de un sistema de instrumentación que sea usado para la detección de fallas en estructuras destinadas a uso aeronáutico mediante estudios de Emisión Acústica.

En base a ese objetivo principal, existen otros objetivos que podríamos catalogar como parciales:

- Diseño de un sistema que permita el estudio de EA en diferentes materiales metálicos como acero y aluminio, y también en materiales compuestos como fibra de carbono (posibles materiales en estructuras aeronáuticas).
- Diseño de un sistema adaptable a varias frecuencias características de cada impulso (frecuencias de ultrasonidos) y con varias ganancias fácilmente seleccionables.
- Diseño de un sistema con dos canales de señal para la posible evaluación de zonas comprometidas en materiales.
- Diseño de un sistema apto para varios sensores de ultrasonidos.
- Diseño de placas de circuito impreso que incluya los componentes analógicos del sistema.

## 1.3 Fases del desarrollo

Para llevar a cabo este proyecto, podemos hacer una diferencia entre varias fases:

- Enero - Abril 2015: Estudio de los temas abarcados en el proyecto. Emisión acústica, ultrasonidos, sensores, etc.
- Mayo - Junio 2015: Diseño del sistema.
- Julio - Septiembre 2015: Comprobación del correcto funcionamiento del diseño. Realización del escrito y finalización de aspectos que quedasen por concluir. Realización de una presentación del proyecto y estudio para su vista con el tribunal.

## 1.4 Medios empleados

Los medios utilizados para la realización de este proyecto son numerosos.

Para hacer el estudio previo sobre todos los conceptos con los que se va a trabajar, serán vitales los recursos de la biblioteca de la Universidad Carlos III de Madrid y todo tipo de documentación externa necesaria con la que saber desarrollar el proyecto.

Para el desarrollo de las placas de circuito impreso, se usará el programa ‘Orcad 15.7’ de Cadence, concretamente ‘Orcad Capture’ para la edición de los esquemáticos y ‘Orcad Layout’ para la disposición de todos los componentes en la placa diseñada.

Además, se dispone del laboratorio de investigación del grupo de Optoelectrónica y Tecnología Láser. En el laboratorio hay varias fuentes de tensión y generadores de señal alterna con los que hacer las pruebas pertinentes del sistema electrónico desarrollado. También se dispone de varios equipos de ultrasonidos pertenecientes al grupo de investigación mencionado anteriormente. Conocer las características de estos equipos también ayudará a la hora de realizar el diseño.

## 1.5 Estructura de la memoria

Para facilitar la lectura de la memoria, se incluye a continuación una breve descripción de cada capítulo:

1. En el primer capítulo se hablará sobre las motivaciones que han llevado a desarrollar este trabajo y los objetivos del mismo.
2. En el segundo capítulo se explicarán algunos conceptos que se consideran mínimos sobre los ultrasonidos y las características de los sensores diseñados para detectarlos. Además, se dará información sobre los estudios del fenómeno de Emisión Acústica y la normativa en cuanto a las pruebas basadas en este suceso.
3. En el tercer capítulo se detallarán las características más relevantes de los equipos de ultrasonidos de los que dispone el grupo de Optoelectrónica y Tecnología Láser de la UC3M.
4. En el cuarto capítulo de esta memoria se explicarán conceptualmente cada una de las etapas del sistema diseñado y se proporcionarán alternativas válidas para prototipos similares.
5. En el quinto capítulo se detallará la manera en la que se ha implementado cada subsistema del prototipo diseñado. Se informará sobre su conexionado y sobre los componentes que forman cada una de las placas de circuito impreso que formarán el sistema.

6. En el sexto capítulo de esta memoria se incluirán los resultados de la implementación y las pruebas a las que ha sido sometido el dispositivo para comprobar su correcto funcionamiento. También incluirá las conclusiones respecto a los resultados obtenidos.
7. En el séptimo capítulo se detallará el coste del prototipo diseñado.
8. Aunque no es un capítulo en sí, en la última parte de la memoria se incluirán la bibliografía usada para la elaboración de la memoria y los anexos que se crean oportunos.



# Capítulo 2

## Principios básicos de los ultrasonidos y de la Emisión Acústica (EA)

### 2.1 Principios básicos de los ultrasonidos

En este apartado se tratará de proporcionar, de forma clara y concisa, información esencial a la hora de entender las características una onda de ultrasonidos y cómo funcionan los transductores destinados a detectarlas.

#### 2.1.1 Introducción a los ultrasonidos

Todo aquel sonido generado por encima del rango audible por el ser humano (por lo general, 20 kHz) es denominado ultrasonidos. Sin embargo, en el ámbito de pruebas no destructivas y de calibración, la frecuencia asociada a ultrasonidos para estos procesos está entre los 100 kHz y los 50 MHz. Aunque el sonido audible tiene un comportamiento similar a los ultrasonidos, estos tienen una longitud de onda más corta. Este es un factor muy importante. Proporciona la facultad de que pueda ser reflejado en superficies muy pequeñas como defectos en el interior de materiales. Esta propiedad se vuelve fundamental a la hora de diseñar dispositivos basados en ultrasonidos para las pruebas no destructivas en materiales.

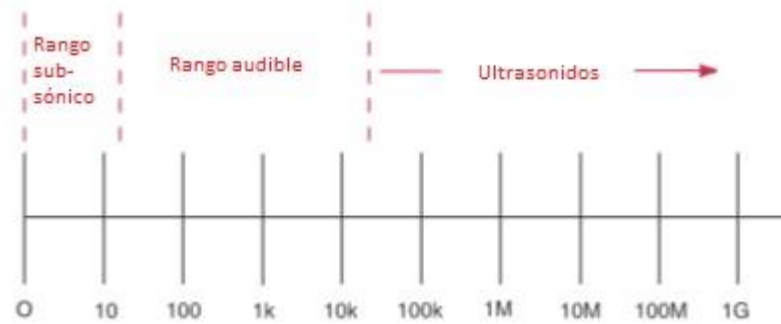


Figura 1. Imagen del espectro acústico.

Las vibraciones procedentes de ultrasonidos viajan de una manera similar a la luz. Y a ello se debe que los parámetros básicos de una onda de ultrasonidos sean la longitud de onda y el período. Sin embargo, presentan una notable diferencia. Las ondas de luz pueden viajar por el vacío mientras que las ondas de ultrasonidos requieren de un medio elástico (material líquido o sólido).

## 2.1.2 Transductores de ultrasonidos

Se denomina transductor a cualquier dispositivo que convierta una forma de energía. De esta manera, podemos definir un transductor de ultrasonidos como un dispositivo que convierte energía eléctrica en mecánica (en forma de sonidos) y viceversa. Sus principales componentes son el elemento activo, la contramasa o '*backing*' y la capa de acoplamiento o '*wear plate*'.

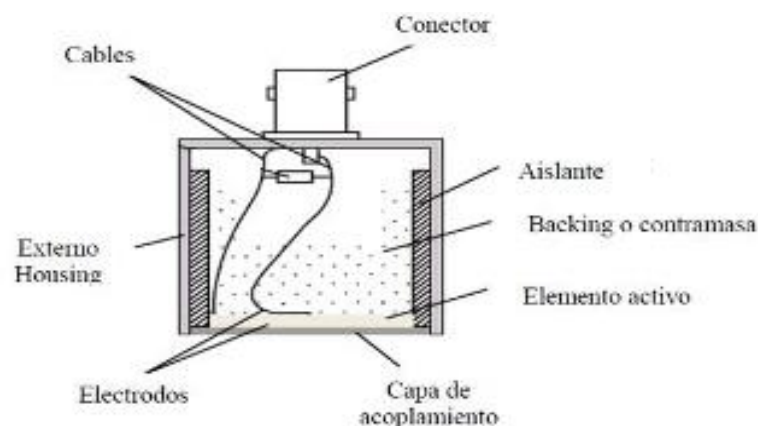


Figura 2. Componentes de un transductor de ultrasonidos.

- El elemento activo: se trata de un material piezoeléctrico o ferroeléctrico, el cual convierte la energía eléctrica. Los materiales más comunes son cerámicos polarizados los cuales son capaces de producir varios tipos de formas de onda. En la actualidad se están empezando a desarrollar transductores que usan como elemento activo materiales como piezo-polímeros y materiales compuestos.

- Contramasa: se trata de un material de gran densidad y altamente atenuante. Es usado para controlar las vibraciones del transductor. Su función es absorber la energía irradiada por la cara trasera del elemento activo.
- Capa de acoplamiento: el propósito de este elemento es proteger al transductor del entorno de pruebas en el que va a ser utilizado. Por ejemplo, para transductores de contacto la capa de acoplamiento debe ser duradera y resistente a la corrosión para soportar su uso en materiales como el acero. Para transductores de inmersión, la capa de acoplamiento debe de ser capaz de aguantar la presión de las profundidades marinas. Y así, con el resto de variedad de transductores de ultrasonidos.

## 2.2 Emisión Acústica (EA)

Este apartado aportará datos históricos para que el lector conozca el desarrollo de la Emisión Acústica y su evolución desde sus comienzos. Además, tratará de explicar lo que son los test basados en Emisión Acústica, sus ventajas y desventajas y además se informará de los principales parámetros de una señal de EA.

### 2.2.1 Historia de la Emisión Acústica.

La Emisión Acústica es un método no destructivo que estudia los efectos sonoros en materiales mientras son sometidos a presión. Son mundialmente conocidos algunos ejemplos de fenómenos asociados a la generación de ondas elásticas sónicas y audibles como terremotos, desprendimientos en minas, la transformación de martensita en el acero, etc. El primer informe sobre un estudio de EA científicamente planificado data de 1933 y fue realizado por la Universidad Imperial de Tokyo. La prueba consistió en el sometimiento de un espécimen de madera bajo flexión. Debido al esfuerzo, se produjeron sonidos perceptibles pero los oscilogramas incluidos en el estudio detectaron también muchas vibraciones inaudibles. Otros ejemplos levemente posteriores fueron los estudios de Friederich Förster en 1936 en Alemania sobre la variación de la martensita debido a su transformación y los estudios de Leonard Obert en 1938 en Oklahoma del Norte (EEUU) en el campo geológico, concretamente, en el ámbito microsísmico en minas. Observó que sus datos eran falseados debido a la autogeneración de señales en las rocas.

A menudo se ha dicho que la historia de la Emisión Acústica comienza en 1950 cuando Joseh Kaiser realiza una publicación en la que había grabado señales de EA en test realizados en materiales metálicos. Él descubrió un fenómeno irreversible el cual a posteriori sería nombrado como “efecto Kaiser”. Este efecto es referido a la irreversibilidad de cada señal de EA. Es decir, si sobre un material se aplica una carga y produce una señal de EA, dicha señal no volverá a producirse si se vuelve a aplicar la carga en las mismas condiciones. Bradford H Schofield encontró dicho artículo en los EEUU y lo investigó. En 1961 publica un trabajo denominado “*Acoustic Emission*” que supuso la primera vez que se usaba la terminología de Emisión Acústica.

Los estudios de Kaiser provocaron que durante la década de los años 60 comenzasen estudios sobre la Emisión Acústica en el hormigón. Básicamente, supuso el comienzo del estudio del “efecto Kaiser” en la ingeniería de materiales.

La aportación de Schofield supuso que durante la década de los 70 empezasen ya a surgir los primeros estándares y dispositivos con los que estudiar el fenómeno de Emisión Acústica. Entre 1974 y 1991 se produjeron una serie de cinco conferencias realizadas por los personajes más importantes en el ámbito de las estructuras geológicas, contribuyendo enormemente al desarrollo de técnicas de EA en dicho campo.

En Estados Unidos se fundó en 1967 el ‘*Acoustic Emission Working Group*’ (Grupo de Trabajo en Emisión Acústica) habiendo alcanzado su conferencia número 57 durante el 2015. Más tarde, concretamente en 1972, tuvo el primer encuentro entre los miembros de una asociación similar que surgió en Europa, el ‘*European Working Group on AE*’ (Grupo europeo de Trabajo en Emisión Acústica). Dicho grupo realizará su conferencia número 32 en 2016.

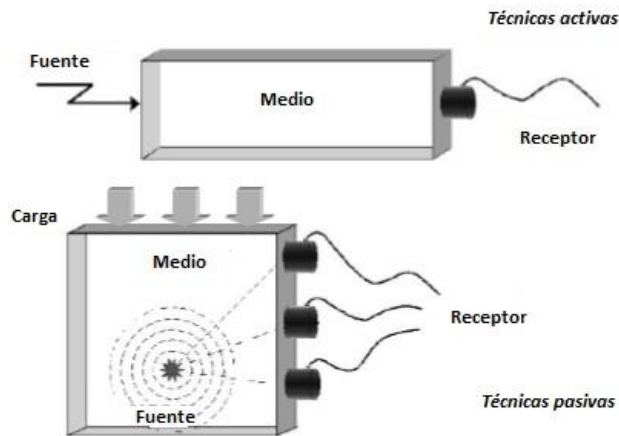
Muchos más grupos surgieron aparte de los ya mencionados. Esto provocó una rápida evolución de las técnicas de EA y su gran abanico de aplicaciones que tiene hoy en día. Algunos ejemplos de esas aplicaciones son:

- Comprobación de la integridad de estructuras metálicas o formadas por materiales compuestos tales como fibra de carbono.
- Comprobación de la corrosión en estructuras de carácter metálico.
- Detección de descargas parciales en transformadores eléctricos.
- Comprobación de procesos de manufactura tales como soldado, mecanizado, etc.
- Detección de movimientos sísmicos.
- Aplicaciones geotérmicas.

## **2.2.2 Introducción a las pruebas basadas en Emisión Acústica**

Los test de Emisión Acústica están considerados como unos de los mejores métodos de pruebas no destructivas. Son aplicables durante la carga del material mientras que con otros métodos solo se pueden realizar pruebas antes o después de la carga. Además, esta técnica es muy usada con el fin de detectar fallos en una estructura mucho antes de que esta se muestre defectuosa mientras realice su función.

Dentro del grupo de técnicas no destructivas, existen dos grandes subgrupos: técnicas activas y técnicas pasivas. El método basado en Emisiones Acústicas es una técnica pasiva ya que identifica los defectos únicamente mientras se desarrolla una carga en la estructura. Se verá mejor con la siguiente imagen:



*Figura 3. Comparativa entre técnicas de EA activas y pasivas.*

En las técnicas activas, se necesita de una fuente que proporcione una señal acústica y se propague por el material para llegar al receptor. Sin embargo, con las técnicas pasivas el propio medio es el que sirve de fuente para la recogida de la señal y por tanto es un método que puede ser usado mientras la estructura está realizando su función.

### **2.2.3 Ventajas y desventajas de las técnicas de EA**

Una ventaja de las técnicas de EA ,ya mencionada, es que el daño en un material puede ser observado mientras se aplica una carga y sin que perturbe al espécimen. Estas técnicas únicamente requieren de unos sensores y de que nuestra señal sea lo suficientemente fuerte para superar un umbral denominado '*nivel de activación*'. Además, basta con colocar los sensores sobre la superficie del material para poder llevarse a cabo la prueba.

El estrés que sufre un espécimen es relativo a la fuerza a la que es sometido. Esta relación es conocida como la ley de Hooke. Sin embargo, los estudios basados en EA son usados para la detección de deformaciones de carácter irreversible de un material, proporcionando información sobre la aparición de grietas y su progresión.

Una importante desventaja de estos métodos es que una prueba particular no es completamente reproducible debido a las diversas naturalezas de las que puede provenir la señal. Por ejemplo, el hormigón es un material con una homogeneidad dispersa y los resultados no pueden ser comparables entre sí en el caso de que la señal tenga una longitud de onda de un tamaño similar al de las zonas heterogéneas del hormigón.

Otra nota negatva de estas técnicas es la baja magnitud de la señal que proporcionan. Por lo general, requieren de sensores con mayor sensibilidad y, en muchas ocasiones, amplificadores y pre-amplificadores.

### **2.2.4 Medida y parámetros de señales de EA**

En los comienzos de los estudios de EA, se necesitaba un alto nivel de cuidado para que factores como ruido, una ráfaga de viento o un automóvil que circule por una calle

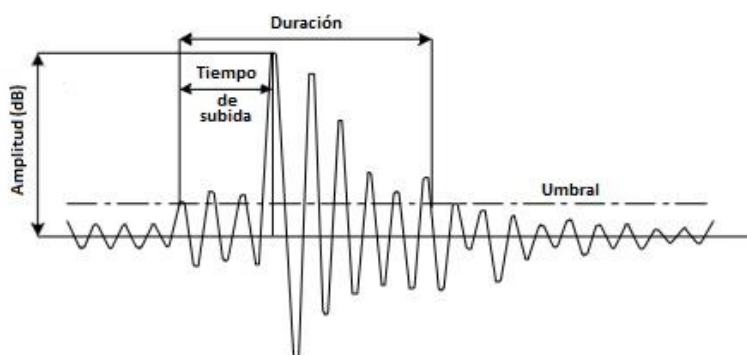
cercana no afectasen a la hora de medir señales con técnicas de EA. Sin embargo, con el desarrollo de sistemas de instrumentación cada vez más avanzados, estos problemas han sido resueltos. Todos estos sistemas se fundamentan en el empleo de un filtro paso banda para eliminar el ruido con eficacia.

Como ya se ha comentado, los sensores de ultrasonidos proporcionan una baja señal. Por lo que los sistemas acostumbran a incorporar una pre-amplificación y una etapa de amplificación principal.



*Figura 4. Sistema de medida de EA.*

De forma clásica se han estudiado 6 parámetros en las señales de EA. A continuación se detallan y se muestra una imagen para una mayor comprensión:



*Figura 5. Parámetros de una señal de EA.*

1. Golpe o 'hit': se trata de una señal que superar el umbral y acumula datos en un canal del sistema.
2. Otro parámetro importante es el número de veces que la señal captada supera el umbral. Es claramente apreciable que este parámetro depende del nivel de umbral y de la frecuencia de trabajo.
3. Amplitud: suele ser asignado al voltaje de pico de la señal adquirida. Es medida en una escala de decibelios donde  $1 \mu\text{V}$  es definido como 0 dB. Suele estar influida por la fuente de la señal.
4. Duración: se trata del intervalo de tiempo entre el momento en el que la señal supera el umbral y el momento en el que no lo vuelve a superar. Suele estar expresado en microsegundos y depende de la magnitud de la fuente y de la capacidad de filtrado de ruido.

5. Tiempo de subida: se trata del intervalo de tiempo entre el momento en el que la señal supera el umbral y el momento en el que alcanza el valor de amplitud máximo.
6. Energía: es definida como el área medida bajo la señal rectificada de EA. Es más sensible a la amplitud y a la duración mientras que influyen menos en su valor la frecuencia de operación y el nivel de umbral.

## 2.3 Normativa para pruebas de Emisión Acústica (EA)

En este apartado se incluyen varios ejemplos de normativa para una correcta realización de equipos de Emisión Acústica. En primer lugar, se citarán una serie de normas de nivel nacional:

- **UNE-EN 13554:2011**  
Ensayos no destructivos. Emisión acústica. Principios generales.
- **UNE-EN 1330-9:2010**  
Ensayos no destructivos. Terminología. Parte 9: Términos utilizados en ensayos de emisión acústica.
- **UNE-EN 13477-1:2001**  
Ensayos no destructivos. Emisión acústica. Caracterización del equipo. Parte 1: Descripción del equipo.
- **UNE-EN 13477-2:2011**  
Ensayos no destructivos. Emisión acústica. Caracterización del equipo. Parte 2: Verificación de las características de funcionamiento.

A continuación se indican otras normas de carácter internacional:

- **IEEE Standard 139-1988**  
Recommended Practice for the Measurement of Radio Frequency Emission from Industrial, Scientific, and Medical (ISM) Equipment Installed on User's Premises.
- **IEEE Standard 260.4-1996**  
American National Standard Letter Symbols and Abbreviations for Quantities Used in Acoustics.

- **IEEE Standard 211-1997**  
Definitions of Terms for Radio Wave Propagation.
- **IEEE Standard C63.15-2010**  
American National Standard Recommended Practice for the Immunity Measurement of Electrical and Electronic Equipment.



# Capítulo 3

## Equipos de ultrasonidos del grupo de Optoelectrónica y Tecnología Láser (GOTL)

### 3.1 Equipos de Brüel & Kjaer

*-Hidrófono 8103.* Los hidrófonos de Brüel & Kjaer son transductores calibrados para su uso en la detección de sonidos submarinos. Estos sonidos tienen una respuesta en frecuencia plana y omnidireccional en un amplio rango de frecuencias. Son totalmente impermeables y poseen una alta resistencia a la corrosión. Este modelo en concreto es adecuado para el empleo de altas frecuencias en laboratorio, industria y en el estudio acústico relacionado con animales marinos. El rango de frecuencias más adecuado para su uso está entre 0.1 Hz y 180 kHz. Su sensibilidad en este rango es de - 211 dB sobre 1V/ $\mu$ Pa de referencia.



*Figura 6. Hidrófono 8103 de Brüel & Kjaer.*

-Amplificador de potencia 2713. Este amplificador está especialmente diseñado para el acondicionamiento de señal proveniente de los hidrófonos de Brüel & Kjaer como el anterior explicado. Su rango de frecuencias de óptimo funcionamiento es desde los 10 Hz hasta 200 kHz. Para señales de carga reactiva, es capaz de proporcionar un máximo de 100 V eficaces. Para cargas resistivas, un máximo de 75 V eficaces. Por último, para cargas resistivas y reactivas es capaz de proporcionar hasta un máximo de 31.6V eficaces. Ofrece la posibilidad de ajustar la ganancia en voltaje. Desde 0 dB hasta 60 dB en rangos de 10 dB.



*Figura 7. Amplificador de potencia 2713 de Brüel & Kjaer.*

-Amplificadores de acondicionamiento NEXUS. Esta gama de acondicionadores poseen un bajo nivel de ruido, disponen de hasta un máximo de 4 canales y son aplicables en un amplio rango de frecuencias. Típicamente son usados para estudios de laboratorio y en el área de la automoción. Los transductores que suelen acompañar a este instrumento son: hidrófonos, acelerómetros y sensores capacitivos. Existen 4 modelos: 2690, 2691, 2692 y 2693. Usar uno u otro depende del tipo de transductor utilizado y por tanto, ha de revisarse con detalle estas circunstancias. Aquí se detallarán los datos de forma más genérica. El rango de frecuencias de funcionamiento óptimo es desde 0,1Hz hasta 100 kHz. La ganancia se puede ajustar desde -20 dB hasta 80dB y se puede aplicar a la señal un filtrado en paso bajo o en paso alto.



*Figura 8. Acondicionador NEXUS 2690 de Brüel & Kjaer.*

## 3.2 Equipos de Olympus/Panametrics

-Pulser-receiver 5077PR. Este equipo tiene la capacidad tanto de ser emisor de ultrasonidos como receptor. Por un lado, es capaz de convertir una señal eléctrica de entrada en energía mecánica mediante un transductor. De esta forma se produce una onda

ultrasónica. Según la aplicación, esta onda puede ser reflejada de manera que vuelva al transductor o esta señal puede ser recogida por un segundo transductor que funciona como receptor. La señal eléctrica obtenida en la recepción es acondicionada de manera que pueda ser analizada. Como característica más reseñable de su sección 'pulser' tenemos que el pulso eléctrico que puede producir es una onda cuadrada negativa con voltaje a escoger entre -400V, -300V, -200V y -100V. Además, ofrece una amplia variedad de frecuencias para esta señal. En cuanto a su sección 'receiver', posee un ancho de banda ajustable desde 1 kHz hasta 35MHz y se le puede asignar una ganancia que puede ser desde los 0 dB hasta los 59 dB con pasos mínimos de 1 dB. Puede actuar como filtro paso alto a 1 kHz o a 1 MHz. También puede actuar como filtro paso bajo con una frecuencia de corte de 10 ó 35 MHz.



*Figura 9. Pulser-Receiver 5077PR de Olympus/Panametrics*

-Palpadores de ultrasonidos X1019, X1020. Se trata de transductores de ancho de banda estrecho aplicables en bajas frecuencias. Son usados en parejas para la transmisión en materiales como hormigón y madera. También es usado para la transmisión en muestras geológicas. El modelo X1019 está optimizado para 180 kHz y el modelo X1020 para 100 kHz. Se recomienda su uso con instrumentos como el pulser-receiver 5077PR.



*Figura 10. Palpadores de ultrasonidos X1019 y X1020 de Olympus/Panametrics.*

-Transductores de inmersión V303-SU, V326-SU y V327-SU. Estos transductores están expresamente diseñados para su uso en pruebas en las que el transductor se encuentra parcial o totalmente sumergido. Tiene varias aplicaciones. Pueden ser usados para detección de defectos en tubos, barras y otras componentes. Hallar tiempo de vuelo y amplitud. También son aplicables en pruebas de transmisión y análisis de materiales. Se dispone de tres modelos, cada uno con una frecuencia característica de actuación distinta. El modelo V303-SU está diseñado con una frecuencia de 1 MHz, el modelo V326-SU con una frecuencia de 5 MHz y el modelo V327-SU es aplicable con su frecuencia central de 10 MHz.



*Figura 11. Transductor de inmersión V303-SU de Olympus/Panametrics.*

### 3.3 Equipos de Physical Acoustics/Mistras

-Sensor R15I-AST. Transductor de emisión acústica especialmente diseñado para lograr una alta sensibilidad y poder usarse con cables de gran longitud sin necesidad de un preamplificador externo. Incorpora un preamplificador de 40 dB y una entrada con bajo nivel de ruido. Además, puede proporcionar pulsos de ultrasonidos y usarse como receptor. Las propiedades de este sensor lo hacen muy útil para la supervisión en estructuras como tuberías y puentes o en navíos, refinerías, plantas químicas... En cuanto a sus características dinámicas, este sensor está calibrado hasta la frecuencia de 1 MHz teniendo su sensibilidad máxima en 150 kHz y cuyo valor es de -22 dB teniendo como referencia 1 V/ $\mu$ Pa.



*Figura 12. Sensor R15I-AST de Mistras.*

# Capítulo 4

## Diseño del sistema. Alternativas al diseño.

### 4.1 Introducción al diseño. Esquema de bloques.

En primer lugar, se debe recordar que el objetivo del proyecto es diseñar un sistema adaptable a varios anchos de banda y a distintas opciones de amplificación. Por tanto, el dispositivo elaborado tiene que ser capaz de tener una respuesta dinámica adecuada a los sensores que sean utilizados pero no únicamente cubrir ese aspecto.

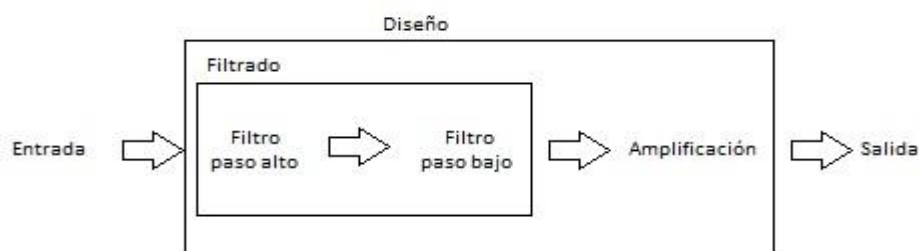
Además, el intento de realizar un diseño que cubra todo el rango de ultrasonidos (hasta 50 MHz) sería una tarea ardua y realmente costosa. Por tanto, el diseño se basará en cubrir las necesidades dinámicas de sensores como el R15I-AST (visto en el anterior capítulo) y frecuencias cercanas para poder usarse también con otros sensores.

Para poder filtrar señales y además poder abarcar un amplio espectro de anchos de banda necesitamos un sistema de filtrado que sea capaz de modificar su ancho de banda cuando lo creamos conveniente. Por tanto, no es aconsejable un filtro activo a base de resistencias, condensadores y amplificadores operacionales puesto que de esta forma las frecuencias características del filtro serán fijas, totalmente contrario al objetivo del diseño.

De esta manera se observa que para poder adaptar el filtro se necesita un factor que defina a nuestro antojo las características del propio filtro. En base a eso, se realiza una búsqueda de componentes que cumplan este aspecto. Tras analizar las tecnologías que ofrecen las principales marcas comerciales, se llega a la conclusión de que lo mejor es usar circuitos integrados basados en capacidades conmutadas.

Esta técnica se basa en la simulación de una resistencia mediante la conmutación de un condensador entre dos nodos a una frecuencia elevada. El valor de la resistencia equivalente, y por tanto de la frecuencia de corte, puede fijarse con exactitud con la frecuencia de la señal de conmutación.

Por último, el diseño debe cumplir los dos aspectos fundamentales para el acondicionamiento de señal: filtrado y amplificación. Para el filtrado, se ha optado por la realización de una etapa de filtro paso alto y a continuación una etapa de filtro paso bajo. De esta manera se realiza un filtro paso banda tal y como es aconsejable en estos estudios. Además, el diseño tendrá una última etapa que sirva de amplificación.



*Figura 13. Esquema de bloques del diseño.*

## 4.2 Filtrado

### 4.2.1 Filtro paso bajo

Tras una búsqueda de dispositivos que nos permitan llegar al objetivo del proyecto, se toma la decisión de usar el circuito integrado LTC6603 de Linear Technology. Se trata de un filtro paso bajo de 9º orden y de 2 canales. Tanto el ancho de banda como la ganancia son ajustables. El ancho de banda puede llegar a ser de hasta un máximo de 2.5 MHz y la ganancia es seleccionable entre 0, 6,12 y 24 dB. Por último, se trata de un dispositivo de entrada y salida diferencial.

Es importante reseñar que el diseño global del proyecto ya tiene una etapa de amplificación, y por ello, el componente LTC6603 será siempre usado con una ganancia de 0 dB salvo que se recomiende lo contrario. Por tanto, sólo cabe centrarse en su ajuste del ancho de banda.

Para determinar el ancho de banda, hace falta tener en cuenta dos aspectos. El primero de ellos es determinar el valor del código de control de frecuencia de corte. Se

trata del ajuste de la posición de dos pines, LPF0 y LPF1, los cuales pueden estar a nivel alto o a nivel bajo.

El segundo aspecto que fija la frecuencia de corte es la frecuencia de reloj que necesita el dispositivo para su correcto funcionamiento. El LTC6603 dispone de un reloj interno el cual puede ser el que gobierne en el dispositivo o se puede introducir un reloj externo. Como con el reloj interno puede realizar perfectamente todas sus funciones, no hace falta la búsqueda de un reloj externo. A modo de resumen, se muestra una imagen de la hoja de características que detalla de forma clara cómo se define la frecuencia de corte del dispositivo:

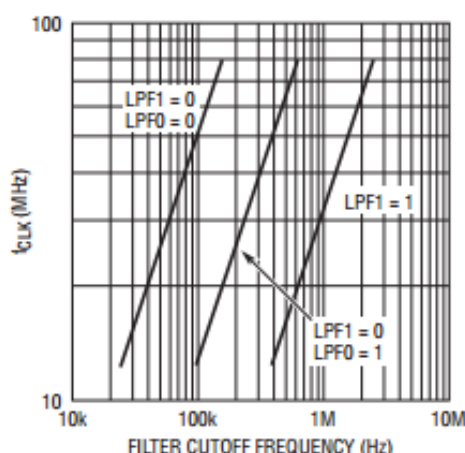


Figura 14. Gráfica de frecuencias  $f_{clk}$  vs  $f_{corte}$

Además, hay que tener en cuenta que mientras LPF1=1, el valor de LPF0 no importa. Finalmente, en la siguiente tabla se muestra de forma numérica los intervalos de frecuencia de corte:

LPF1	LPF0	$f_{corte}$ mínima	$f_{corte}$ máxima
0	0	24.12 kHz	156.25 kHz
0	1	96.56 kHz	625 kHz
1	X	386.25 kHz	2.5 MHz

Tabla 1. Codificación para ajuste de frecuencias de corte del LTC6603.

Tal y como se explicó en el capítulo 2 de la memoria, en estudios de esta índole, la barrera de los ultrasonidos se fija a partir de los 100 kHz. Por tanto, el primera área de funcionamiento no tendrá uso.

## 4.2.2 Filtro paso alto

Para conseguir un filtro paso alto en el sistema tan solo es necesario introducir un condensador entre la entrada del sistema y el filtro paso bajo. Podría considerarse la opción de que el filtro paso bajo fuese producido por la asociación RC entre el condensador añadido y la resistencia de entrada del filtro paso bajo. Sin embargo, al revisar la hoja de características del LTC6603 se observa que la impedancia de entrada del dispositivo varía según el modo de funcionamiento y según la frecuencia de corte que

se esté fijando. Por tanto, es fácil llegar a la conclusión de que la impedancia de entrada no será únicamente resistiva. Al ser un filtro realizado con la técnica de capacidades conmutadas esto es lógico. Por tanto, resultará muy costoso estudiar el influjo del condensador de acoplo introducido sobre el filtro paso bajo. Además, la introducción del condensador de acoplo se realiza con la intención única de bloquear tensión continua, por tanto el valor de la capacidad escogida para ello será menos relevante. Cabe señalar que por supuesto influirá en la señal que llega al filtro paso bajo ya que la impedancia de un condensador disminuye con la frecuencia.

## 4.3 Amplificación

Como ya se ha explicado, el diseño está realizado de manera que durante el filtrado la señal no sea amplificada. En consecuencia, es necesario añadir una etapa de amplificación para la señal recibida y así sea más fácil el estudio de los sucesos derivados de la Emisión Acústica.

Dado que el sistema debe ser adaptable a varios sensores piezoeléctricos, el sistema de amplificación debe ser fácilmente regulable y variado. También debe cubrir, al máximo posible, las necesidades dinámicas del filtrado diseño. Es decir, presentar varios rangos de ganancia pero que a la vez el ancho de banda máximo no sea un impedimento a la hora de recibir adecuadamente la señal.

En vista de las características que necesita el sistema de amplificación, una de las mejores opciones es usar un amplificador de instrumentación. Estos dispositivos, además de proporcionar varios niveles de ganancia con un similar nivel de ancho de banda máximo, permiten muy bajos niveles de ruido a la entrada.

Tras revisar los amplificadores de instrumentación comercializados por las principales marcas del mercado, se decide usar el circuito integrado PGA202 para la etapa de amplificación. Se trata de un componente de 1 único canal que ofrece 4 valores posibles de ganancia controlada mediante la tensión de referencia que tengan dos pines denominados A0 y A1, los cuales pueden estar a nivel bajo o nivel alto:

A1	A0	GANANCIA (dB)	Ganancia (V/V)
0	0	0	1
0	1	20	10
1	0	40	100
1	1	60	1000

*Tabla 2. Valores de la ganancia según los parámetros A0 y A1 del PGA202.*

GANANCIA (dB)	GANANCIA (V/V)	ANCHO DE BANDA
0	1	1 MHz
20	10	1 MHz
40	100	1 MHz
60	1000	250 kHz

*Tabla 3. Relación entre la ganancia y el ancho de banda del PGA202.*



Además, la respuesta dinámica apenas no se ve comprometida salvo en el caso de necesitar una ganancia de 60 dB o 1000 V/V, tal y como se puede apreciar en la información aportada en la tabla 3.

Sin embargo, el sistema de filtrado diseñado permite tener un ancho de banda con frecuencia de corte superior de hasta 2.5 MHz. Aunque el dispositivo conserva capacidad de amplificar la señal a 2.5 MHz, en su hoja de características se aprecia claramente que habrá perdido potencial. En caso de configurar el sistema de manera que la frecuencia de corte superior sea mayor de 1 MHz, sería razonable variar la ganancia del LTC6603. Dicho dispositivo tiene la posibilidad de otorgar a la señal una ganancia de 0, 6, 12 y 24 dB mediante dos pines GAIN0 y GAIN1, los cuales pueden estar a nivel alto o nivel bajo:

GAIN1	GAIN0	GANANCIA (dB)	Ganancia (V/V)
0	0	0	1
0	1	6	2
1	0	12	4
1	1	24	16

*Tabla 4. Control de la ganancia para el LTC6603.*

## 4.4 Alternativas de diseño

En este apartado se revisarán otras posibles alternativas a la hora de desarrollar un diseño que sea de forma similar al planteado en los apartados anteriores de este capítulo. Se darán opciones tanto para la parte de filtrado y también alternativas para el diseño del sistema de amplificación.

### 4.4.1 LTC1560-1

Se trata de un circuito integrado que funciona como filtro paso bajo y sería una alternativa al LTC6603. La selección de su frecuencia de corte es mucho más sencilla y está relacionada con su tensión de alimentación. Este dispositivo se recomienda que esté alimentado a  $\pm 5V$  y presenta dos únicas posibilidades de frecuencia de corte. Si el pin 5 está conectado a 5V, entonces la frecuencia de corte será de 500kHz. Sin embargo, si el pin 5 está conectado a -5V, la frecuencia de corte será de 1 MHz.

Este circuito integrado sería bueno si el diseño estuviese concebido única y exclusivamente para acondicionar una señal proporcionada por el sensor R15I-AST, ya que dicho sensor está calibrado hasta 1 MHz. Tal y como se pudo apreciar en el capítulo 3 sobre los equipos de ultrasonidos de los que dispone el grupo de Optoelectrónica y Tecnología Láser, no sería extraño que equipos de acondicionamiento se diseñasen para combinarse con un sensor de ultrasonidos en concreto.

### 4.4.2 PGA103

Si el sistema de amplificado es suficiente con que ofrezca la posibilidad de amplificar a 1,10 ó 100 V/V (o lo que es lo mismo: 0, 20 y 40 dB), se sugiere la posibilidad de amplificar con el circuito integrado PGA103. Se trata de un amplificador de instrumentación de un único canal y que ofrece las posibilidades de ganancia ya mencionadas. Su respuesta en frecuencia no es tan buena como la del PGA202 pero sí es un componente más barato.

GANANCIA SELECCIONADA (dB)	GANANCIA A 1 MHz (dB)
0	0
20	15
40	27

*Tabla 5. Relación entre la ganancia seleccionada y la ganancia real a 1 MHz para el PGA103.*

### 4.4.3 LTC1264

Se trata de un circuito integrado que puede funcionar como filtro paso alto, paso banda o paso bajo. Sin embargo, su máxima frecuencia de corte es de 250 kHz y por ello sería recomendable usarlo como filtro paso alto. Dispone de 4 canales siendo cada uno un filtro de segundo orden. Por tanto, se podrían usar un sistema en cascada que uniese dos de esos filtros para conseguir un sistema de 2 canales con un filtro de cuarto orden cada uno.

Este es un circuito también basado en capacidades conmutadas y por ello necesita de una señal de reloj que fije su frecuencia de corte. De hecho, en un primer momento se trabajó con este dispositivo. Se usó la señal de reloj que se puede extraer del LTC6603 para sincronizar ambos filtros. Sin embargo, las frecuencias entre las que oscila esa señal de reloj son más altas que las permitidas para el LTC1264 y por ello se usó un circuito integrado para la división de la frecuencia: 74HC4060.

De esta forma, el sistema de filtrado tendría una frecuencia de corte superior y una frecuencia de corte inferior. Incluso se podría conseguir que ambas frecuencias de corte tuviesen una relación lineal. Finalmente, este circuito se descartó ya que el único objetivo con el filtro paso bajo es el de bloquear tensión continua y además, el acondicionamiento para el LTC1264 era mucho más costoso que el propuesto en el diseño para el filtro paso alto.

# Capítulo 5

## Implementación del diseño.

### 5.1 Introducción.

A la hora de implementar los circuitos integrados que han sido mencionados en el capítulo anterior es muy importante tener en cuenta la tensión a la que tienen que ser alimentados, las resistencias o condensadores que estén relacionados con su correcto funcionamiento, etc.

En consecuencia, se ha decidido llevar a cabo la implementación del diseño mediante el desarrollo de placas de circuito impreso en las que se dispondrán los componentes descritos anteriormente más todos los necesarios para el correcto funcionamiento del sistema. Dichas placas han sido desarrolladas en los ordenadores de las aulas informáticas de la UC3M. Para ello se ha utilizado el programa “Orcad 15.7” de Cadence. Para la edición de los esquemáticos se utiliza ‘Orcad Capture’ y para el diseño físico de las placas se utiliza ‘Orcad Layout’.

Para la implementación del sistema se han desarrollado 2 placas de circuito impreso (ambas con un plano de masa en su capa inferior conectado a tierra). La primera placa será la encargada de conseguir la alimentación necesaria para cada componente. La segunda placa será en la que se encuentren el condensador de acoplo que sirve como filtro paso alto y la fase de amplificación en la que estarán los dos canales del sistema con un PGA202 cada uno y su sistema de variación de ganancia.

El circuito integrado LTC6603 que actúa como filtro paso bajo necesita de una gran cantidad de componentes conectados con él para la realización de sus funciones. Por ello, se usará la ‘Demo-Board’ que ofrece Linear Technology, que no es otra cosa que una placa en la que están soldados todos los componentes que necesita el LTC6603 para su correcto funcionamiento. Por supuesto, también está incorporado el propio LTC6603.

## 5.2 Implementación.

### 5.2.1 Placa de alimentación.

Esta placa debe servir para la distribución de la tensión de alimentación de todo el sistema. Por tanto, hay que evaluar las condiciones de cada circuito integrado para que sus prestaciones no se vean afectadas y además sea de fácil consecución.

Por tanto, para alimentar a todo el sistema se implementan en serie los reguladores de tensión necesarios para suministrar el voltaje adecuado al resto de puntos del sistema. Además, se determina la mejor combinación para un montaje sencillo:

- Alimentación del amplificador PGA202:  $\pm 12$  V.
- Referencia para ajuste de ganancia de PGA202: 5V.
- Alimentación de filtro paso bajo LTC6603: 3 V.

Esta placa tendrá 3 pines de entrada. Uno para conseguir en cascada las tensiones positivas, otro para conseguir la tensión negativa necesaria y un tercero que sitúe la referencia de tensión o punto de 0 V y que sirva de tierra general del sistema. Además, estará alimentada por una fuente de tensión regulable de las que se dispone en el laboratorio del grupo de Optoelectrónica y Tecnología Láser. Por último, tendrá los pines de salida necesarios para la distribución de las alimentaciones mencionadas anteriormente.

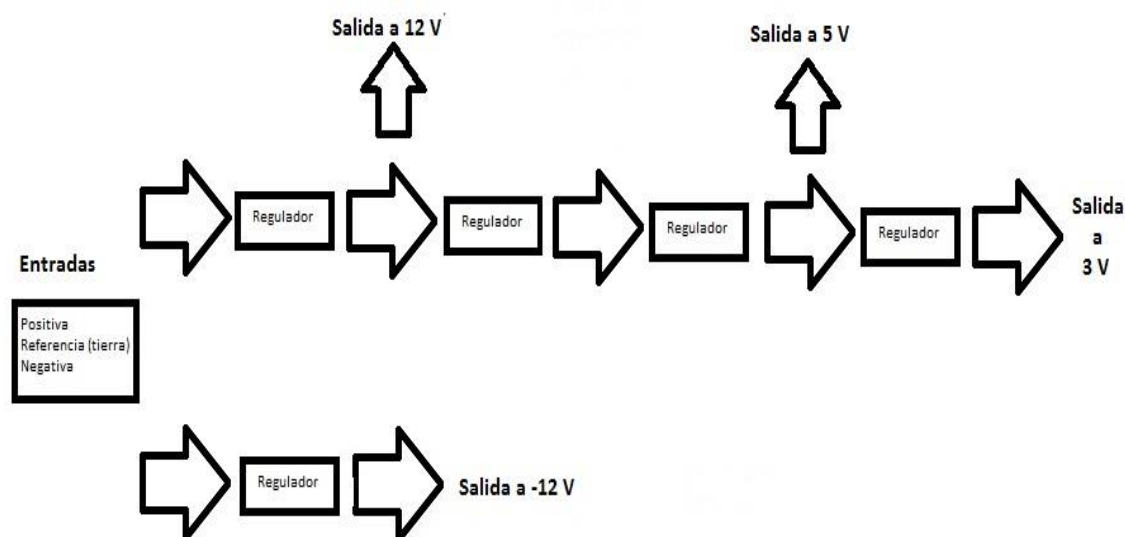


Figura 15. Esquema de la placa de alimentación.

En la rama positiva, después del regulador de 12 V se usará un regulador intermedio entre 12 V y 5 V. De esta manera, el regulador que fijará los 5 V no tendrá problemas de disipación de calor. A continuación del regulador de 5 V irá un regulador de 3 V que es el último necesario para la rama positiva.

En la rama negativa, simplemente se usará un regulador de tensión de -12 V.

### 5.2.2 ‘Demo-Board’ de LTC6603 (filtro paso bajo)

Este componente recibirá la señal procedente del condensador de acoplo y a la salida proporcionará una señal totalmente filtrada. Su entrada es diferencial, mientras que la señal que recibe está referida a masa, por tanto a la entrada negativa se conectará una resistencia de 50Ω. La salida también es diferencial, e irá directamente conectada a la entrada del amplificador. Además, la frecuencia de corte es ajustada mediante un potenciómetro incluido en la placa del circuito. Por último, recordar que esta placa está alimentada a 3 V.

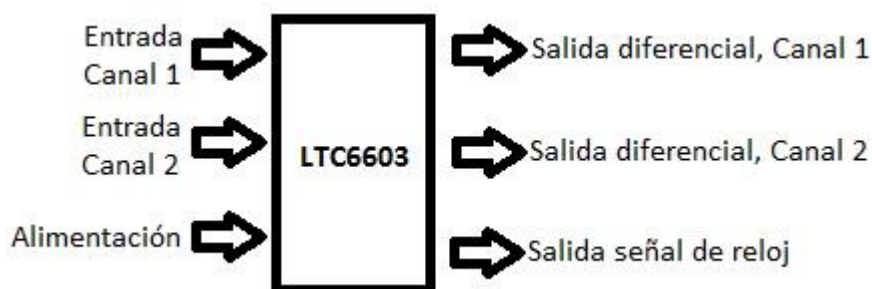


Figura 16. Esquema de la ‘Demo-Board’ del LTC6603.

### 5.2.3 Placa analógica

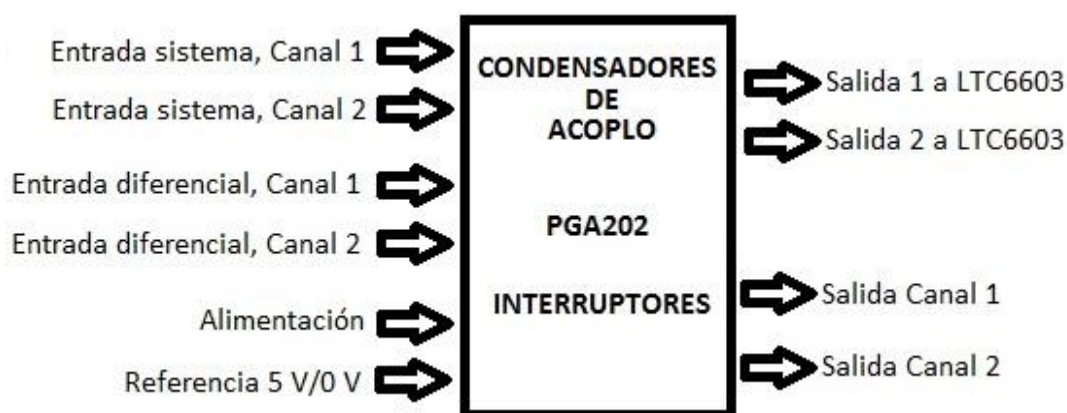


Figura 17. Esquema de la placa analógica.

En esta placa se dispondrán los dos ejemplares de PGA202 necesarios para los dos canales del sistema y los condensadores de acoplo. La entrada al PGA202 es diferencial, por tanto estará conectado directamente a la salida diferencial del LTC6603. La salida está referida a masa, por tanto solo necesita una vía. La placa tendrá pines para poder alimentar el amplificador a  $\pm 12$  V tal y como ya se explicó. No hay que olvidar que tiene

que haber un sistema de interruptores para fijar la ganancia de forma fácil y cómoda y que para ello los pines que definen la ganancia van a estar referenciados a 5 V o a 0 V.

Los condensadores de acoplo estarán a la entrada del sistema e irán hacia la 'Demo-Board' del LTC6603.

## 5.3 Elección de componentes secundarios.

Ya se han comentado los circuitos integrados que servirán como eje principal para el proyecto, sin embargo no se han tratado los componentes que sirvan para terminar de construir el sistema. En este apartado se tratarán todos los aspectos que queden inconclusos hasta ahora tales como la conexión entre placas, valores de resistencias y condensadores que se necesiten y los reguladores usados para la alimentación del sistema.

### 5.3.1 Conexión entre placas.

Son varias las maneras en las que se van a interconexionar entre sí las distintas placas del sistema. En primer lugar, para llevar la alimentación desde la placa de potencia hacia el resto de placas se utilizarán simples cables conductores unifilares:



*Figura 18. Imagen de cables conductores.*

Otro aspecto a tener en cuenta es entrada de señal en nuestro sistema. Se van a situar dos conectores BNC (uno para cada canal) adecuados para diseños en placa de circuito impreso.



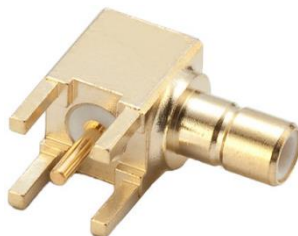
*Figura 19. Conector BNC para placas de circuito impreso.*

La placa ‘Demo-Board’ del LTC6603 (filtro paso bajo) que se pidió tiene en sus terminales de entrada y salida de señal un conector de tipo SMA. Por tanto, y para una mayor facilidad para encontrar cables de conexión SMA-SMA que unan las diferentes placas, se van a situar conectores SMA en todos los puntos en los que la señal entre o salga de dicha placa. Es decir, tendrán conectores SMA las entradas a los amplificadores de la placa analógica y también servirán para conectar el condensador de acoplo de cada canal con la ‘Demo-Board’ del LTC6603.



*Figura 20. Conector SMA para placas de circuito impreso.*

Lo normal es que la salida de estos diseños vayan hacia algún tipo de sistema de adquisición de datos. Por ello, normalmente disponen de un conector SMB de salida para una fácil conexión. En consecuencia, este diseño tendrá dos conectores SMB al final del sistema, es decir, uno a la salida del amplificador PGA202 de cada canal.



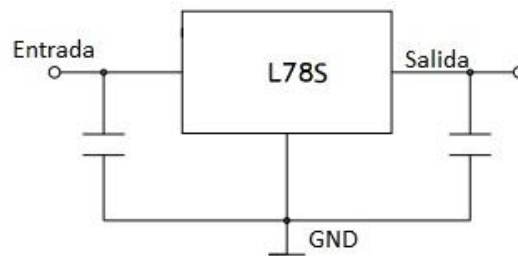
*Figura 21. Conector SMB para placas de circuito impreso.*

### **5.3.2 Reguladores de tensión L78SXX.**

Estos circuitos integrados forman parte de una familia de reguladores de tensión positivos para los que las dos últimas cifras indican cual será la tensión de salida si están bien implementados. Los modelos son:

- L78S24 para una salida de 24 V.
- L78S18 para una salida de 18 V.
- L78S15 para una salida de 15 V.
- L78S12 para una salida de 12 V.
- L78S10 para una salida de 10 V.
- L78S09 para una salida de 9 V.
- L78S75 para una salida de 7.5 V.
- L78S05 para una salida de 5 V.

Para este diseño, se usarán los que proporcionan una salida de 12, 7.5 y 5 V uno detrás de otro, en cascada. El regulador de 7.5 V servirá para facilitar la disipación de calor. Además, para su correcto funcionamiento, cada regulador debe tener un condensador a la entrada y otro a la salida, de 330 nF y de 100 nF respectivamente:



*Figura 22. Esquema electrónico para reguladores L78SXX.*

### 5.3.3 Regulador de tensión MCP1700-3002

Este regulador de tensión se implementará a continuación del L78S05 y si está llevado a cabo correctamente proporcionará una tensión de 3 V a la salida. Su esquema es igual que para todos los L78SXX. Debe situarse un condensador de 1  $\mu$ F entre la salida y tierra para un correcto funcionamiento del regulador. También debería colocarse un condensador de 1  $\mu$ F a la entrada.

### 5.3.4 Regulador de tensión L7912.

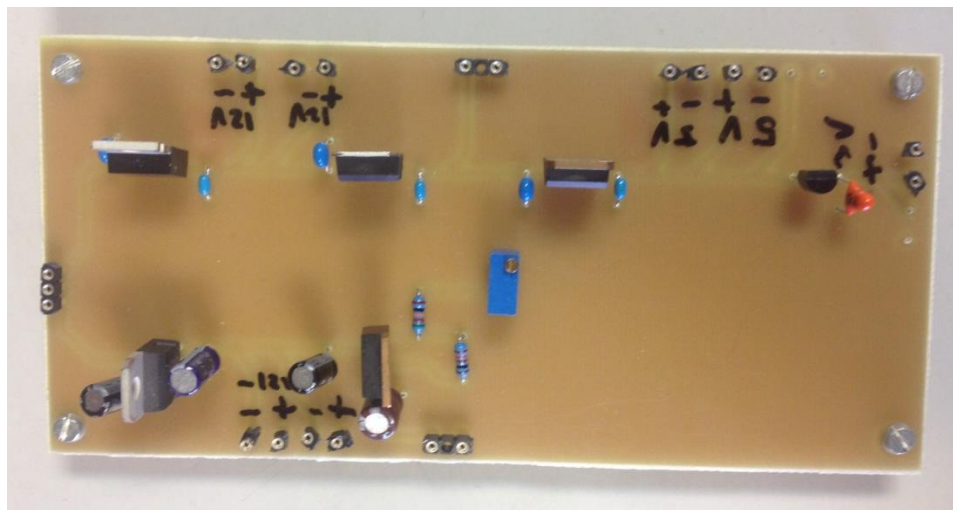
Para conseguir una tensión de -12 V se ha elegido un regulador que pertenece a la familia de dispositivos L79XX los cuales son para la consecución de tensiones negativas. El regulador L7912 requiere a la entrada un condensador de 2.2  $\mu$ F y de tantalio. En el caso de ser electrolítico, la capacidad debe ser al menos diez veces mayor. En cuanto a la salida, debe tener un condensador de 1  $\mu$ F.



# Capítulo 6

## Pruebas de funcionamiento. Conclusiones finales.

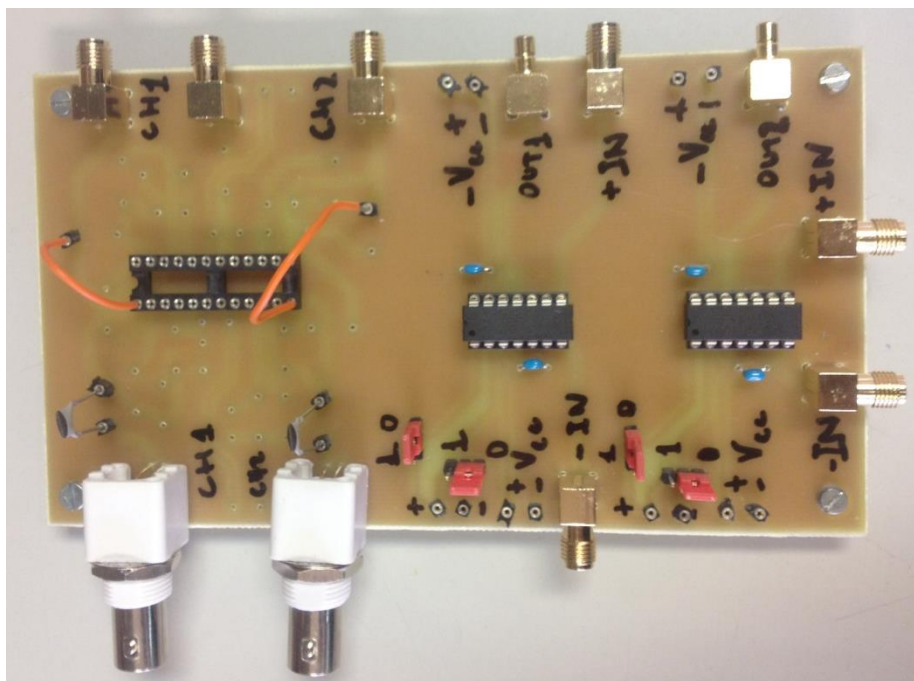
### 6.1 Resultados de la implementación.



*Figura 23. Placa de alimentación del sistema.*

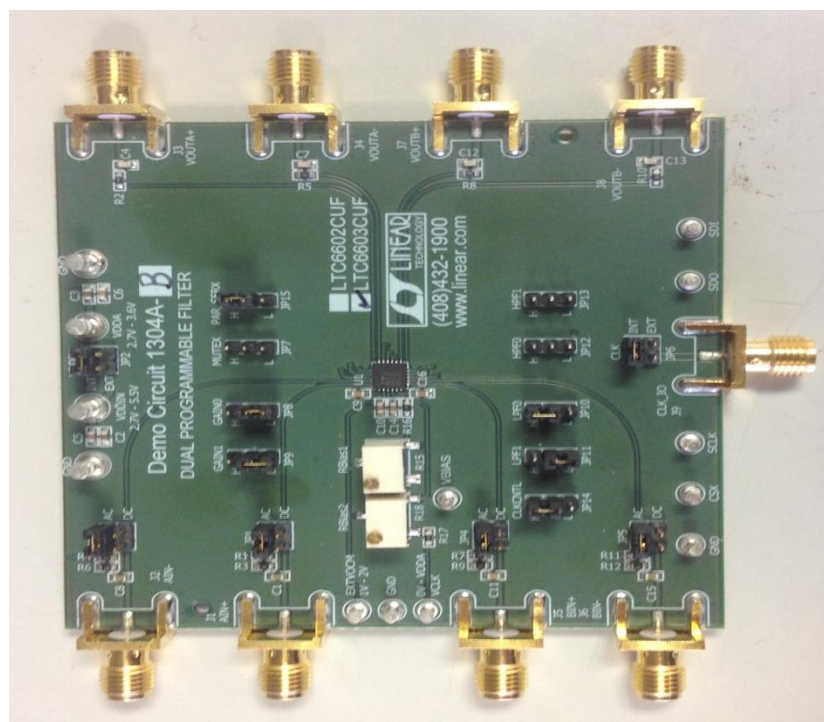
En la figura 23 se muestra una imagen del aspecto de la placa de alimentación utilizada en el proyecto. Tal y como ya se ha dicho, en un principio se trabajó con el LTC1264 y por ello está incluido un regulador más, que servía para poder alimentar

dicho circuito integrado el cual usaba una tensión de  $\pm 7.5$  V. Este regulador no será usado.



*Figura 24. Placa analógica del sistema.*

En un primer lugar, la placa mostrada en la figura 24 estaba compuesta por el LTC1264 y su acondicionamiento además de la etapa de amplificación. Una vez fue descartado el uso de dicho circuito integrado, esa área fue reutilizado para la inserción del condensador de acoplo que bloqueará el ruido.



*Figura 25. ‘Demo-Board’ del LTC6603.*

Sobre la placa mostrada en la figura 25 no hay mucho más que indicar. Se trata de la ‘Demo-Board’ de Linear Technology para el circuito integrado LTC6603. Lleva todas las indicaciones necesarias para usarlo de manera adecuada.

## 6.2 Caracterización de los subsistemas.

En este apartado se van a realizar las pertinentes comprobaciones del correcto funcionamiento de la etapa de alimentación, la etapa de amplificación y la ‘Demo-Board’ del LTC6603.

### 6.2.1 Funcionamiento de la placa de alimentación.

Esta prueba consiste en anotar la tensión a la salida de cada uno de los reguladores que van a servir de alimentación del sistema. Mediante una fuente de tensión de laboratorio se introducirá la tensión necesaria para alimentar el sistema. Las pruebas han sido realizadas en un rango adecuado. Se ha introducido una tensión mínima de  $\pm 15$  V (y su referencia) y una tensión máxima de  $\pm 18$  V (y su referencia). La respuesta ha sido constante y se indica en la siguiente tabla:

Voltaje esperado	Voltaje medido
12 V	11.66 V
-12 V	-11.85 V
5 V	4.97 v
3 V	2.94 V

Tabla 6. Medida del voltaje en la placa de alimentación.

Tal y como se puede apreciar, los resultados han resultado satisfactorios. El regulador para los 12 V es el que tiene una mayor diferencia entre lo esperado y lo medido. Sin embargo, se acepta y se continúa con el proyecto.

### 6.2.2 Caracterización dinámica del LTC6603.

En este apartado se va a comprobar el correcto funcionamiento de la ‘Demo-Board’ que ofrece Linear Technology para el LTC6603 y fue adquirida para este proyecto.

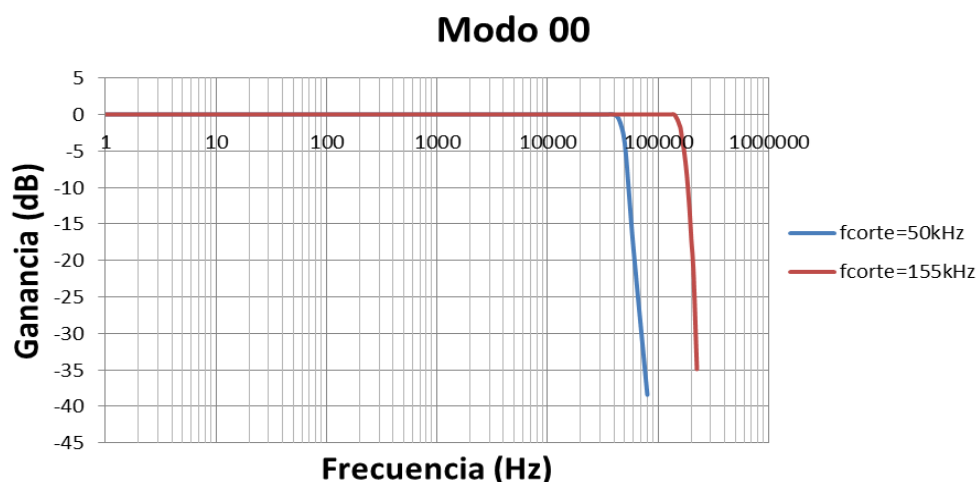


Figura 26. Prueba de funcionamiento para el modo 00 del LTC6603.

La figura 26 muestra los resultados obtenidos en el modo 00 de funcionamiento. Se han escogido dos frecuencias de corte como ejemplos, aproximadamente en 50 kHz y en 150 kHz. Los resultados se corresponden con la información del fabricante y los resultados han sido análogos para los dos canales del dispositivo.

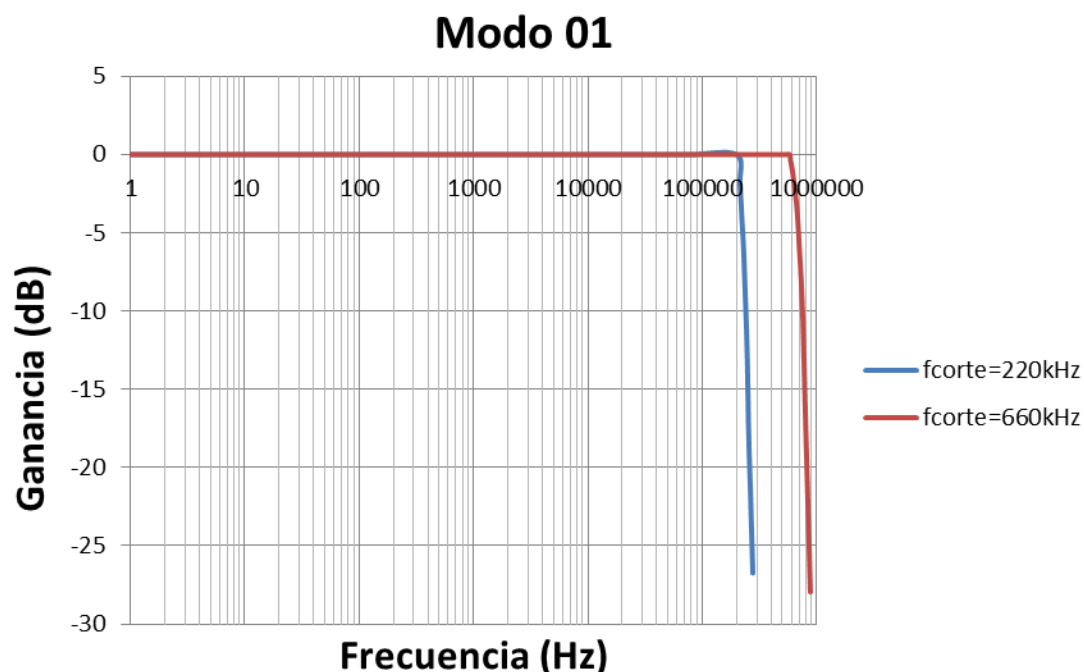


Figura 27. Prueba de funcionamiento para el modo 01 del LTC6603.

En la figura 27 se ha cambiado el modo de funcionamiento y se ha usado el modo 01 usando como ejemplos de frecuencias de corte 220 kHz y 660 kHz aproximadamente.

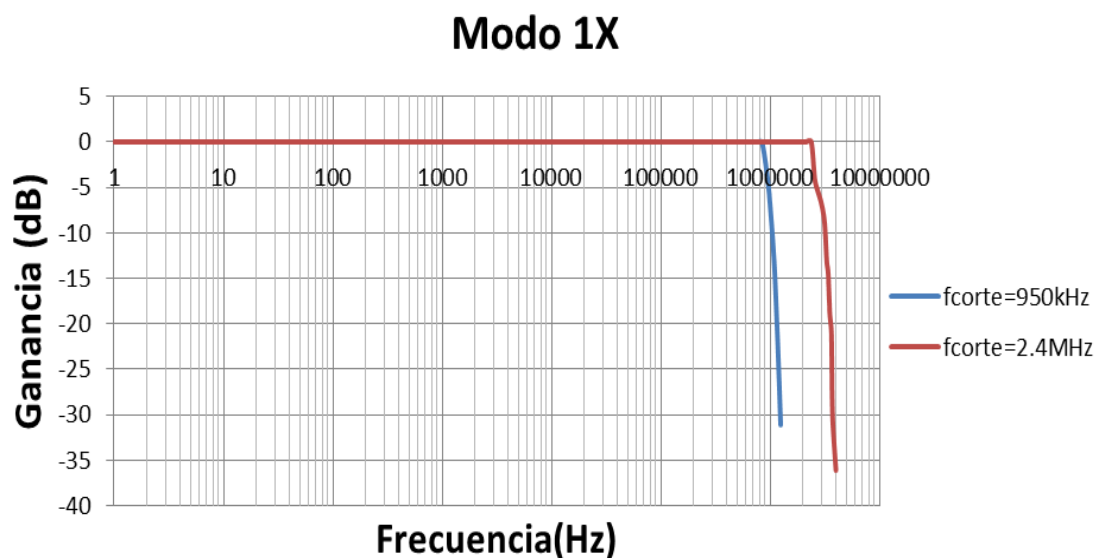


Figura 28. Prueba de funcionamiento para el modo 1X del LTC6603.

En el último ejemplo realizado, se ha usado el modo de funcionamiento restante del dispositivo y se ha comprobado la correspondencia de los resultados con la información del fabricante. Además, en todo momento la ganancia fijada para el dispositivo ha sido de 0 dB.

### 6.2.3 Caracterización dinámica de la etapa de amplificación.

También será necesario comprobar la respuesta en frecuencia del amplificador de instrumentación PGA202. Comprobar que el ancho de banda corresponde con el especificado en la hoja de características. Recordar que para una ganancia de 60 dB tenía un ancho de banda de 250 kHz y que para ganancias de 0,20 y 40 dB tiene un ancho de banda de 1 MHz. A continuación se muestra el gráfico en el que se ve la respuesta en frecuencia experimental de la fase de amplificación. Destacar que los resultados fueron prácticamente idénticos para ambos canales y acordes con la información de su hoja de características.

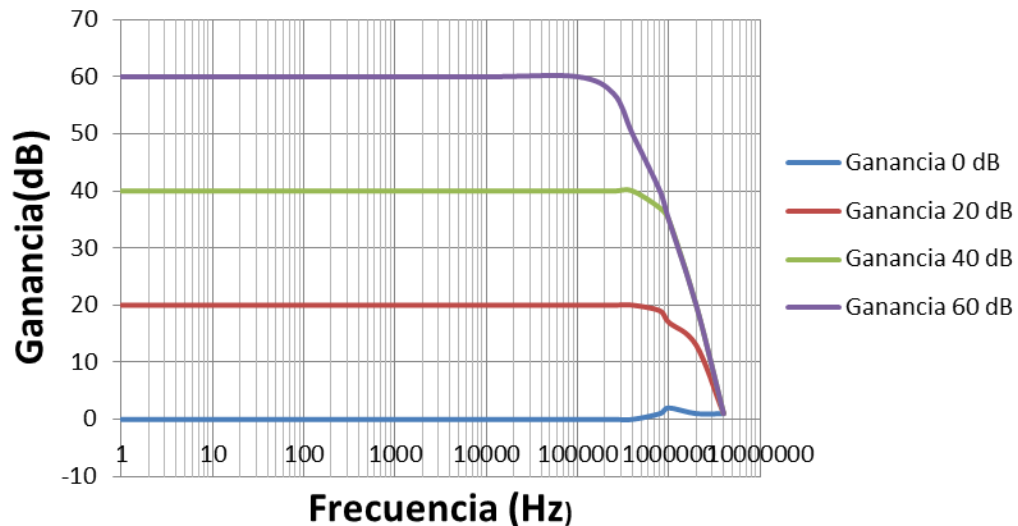


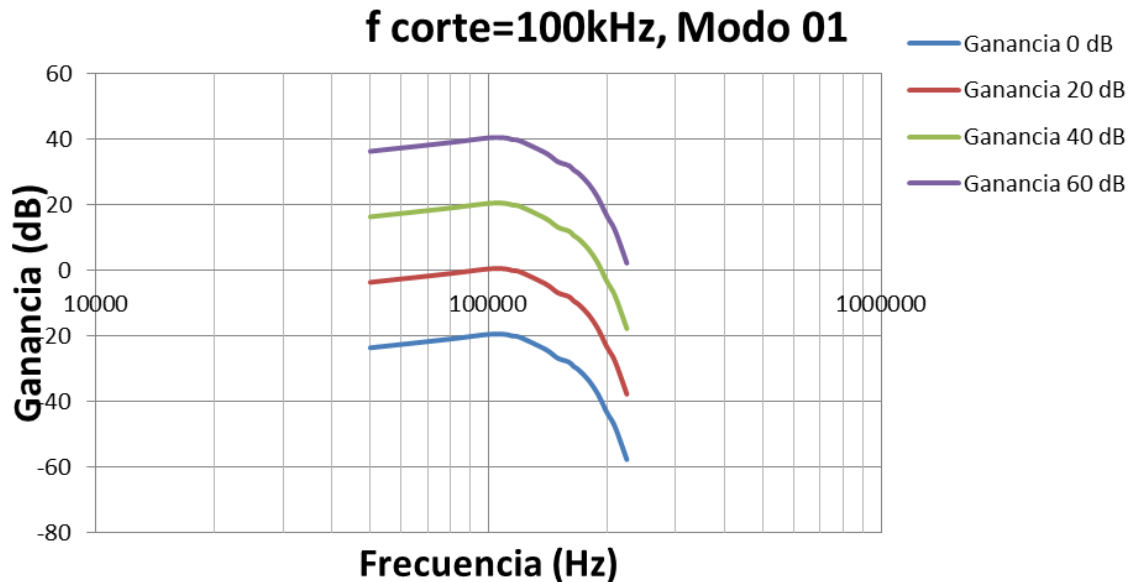
Figura 29. Respuesta en frecuencia experimental de la etapa de amplificación.

## 6.3 Pruebas de conjunto.

En este apartado se van a incluir las medidas del sistema completo. Como condensador de acoplo se ha usado un condensador de 120 pF. Ante la complejidad de conocer el efecto del condensador de acoplo sobre el filtro paso bajo, se evaluará los resultados medidos con el condensador indicado.

Tal y como se indicó en el capítulo 4, sólo se usarán los modos de funcionamiento 01 y 1X del LTC6603. Esto es así ya que el modo 00 tiene una frecuencia de corte máxima de 156 kHz y el modo 01 comienza en aproximadamente 96 kHz y porque en el capítulo 2 se hizo mención a que en los ensayos no destructivos y pruebas de calibración se consideran los ultrasonidos a partir de 100 kHz.

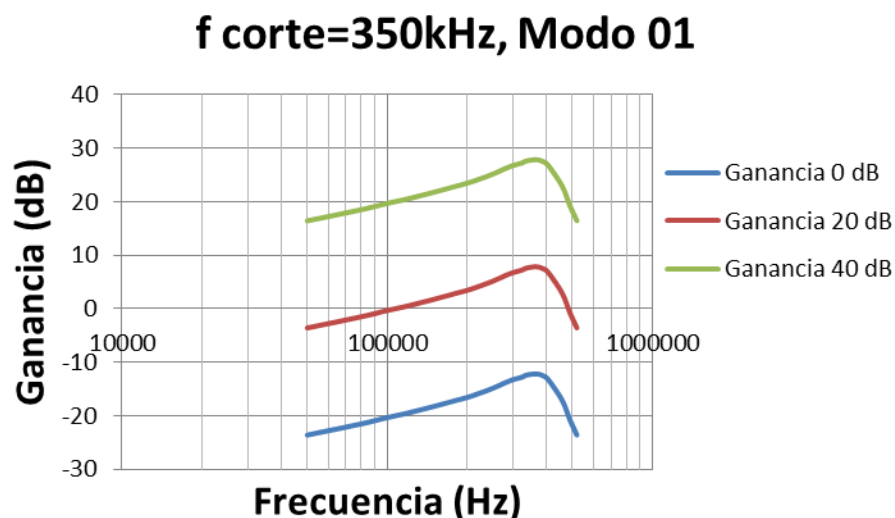
En las gráficas que se muestran en este apartado, se ha medido la respuesta en frecuencia del sistema completo desde una frecuencia mínima de 50 kHz. Para los dos modos de funcionamiento que se usarán, se han realizado tres pruebas a cada uno fijando la frecuencia de corte y variando la ganancia de la etapa de amplificación a los niveles que sea conveniente según la frecuencia de corte escogida.



*Figura 30. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 100 kHz y modo 01 del LTC6603.*

En la figura 30 se representa la variación de la ganancia según la frecuencia de la señal entrante para una frecuencia de corte de 100 kHz y modo 01. Como era de esperar, el condensador de acoplo disminuye la señal que llega al LTC6603 pero según aumenta la frecuencia, la impedancia del condensador es menor y la ganancia del sistema alcanza su punto máximo en donde está situada la frecuencia de corte. A partir de ahí, el filtro paso bajo ejerce su influjo y provoca que la ganancia descienda.

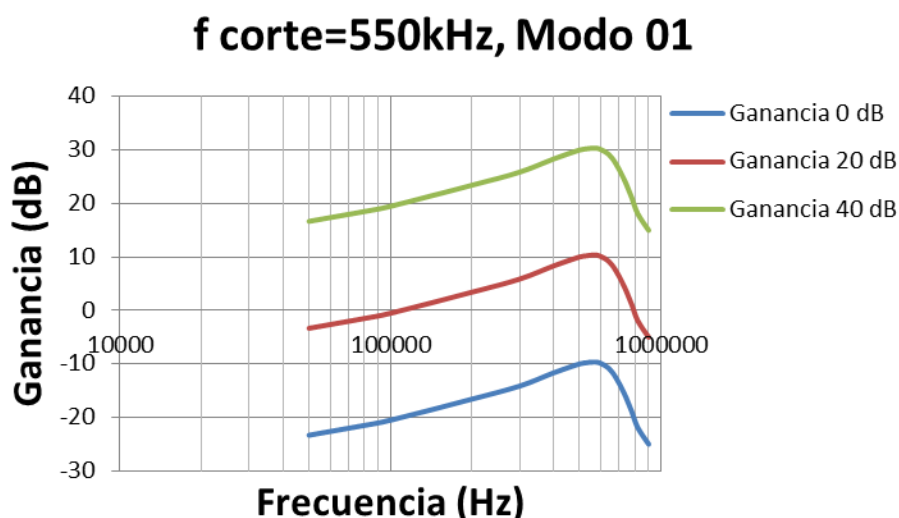
En cuanto a la ganancia seleccionada en el PGA202, para una frecuencia de corte de 100 kHz tiene sentido usar todos los niveles de ganancia posibles.



*Figura 31. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 350 kHz y modo 01 del LTC6603.*

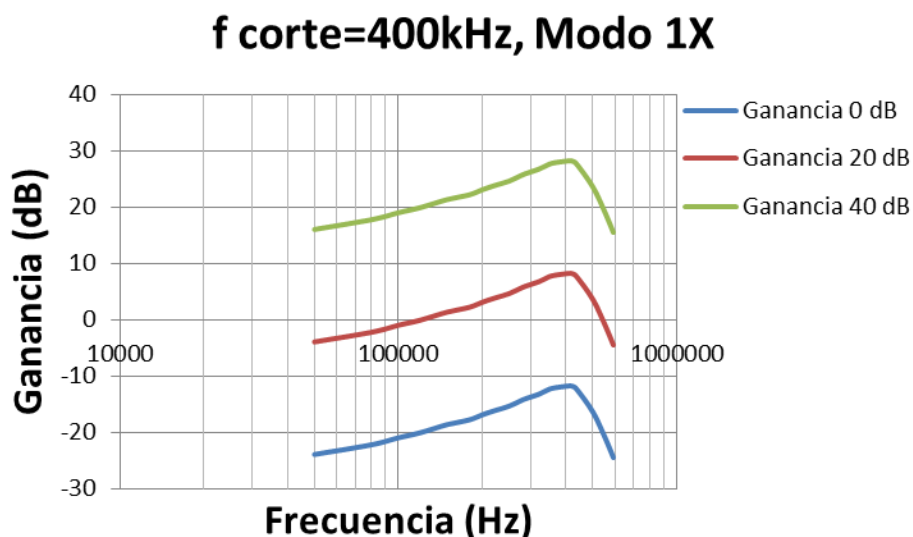
En la figura 31 se muestra los resultados dados en la misma prueba pero cambiando la frecuencia de corte del LTC6603 a 350 kHz. El resultado es similar al anterior ya que la señal alcanza su punto máximo en la frecuencia de corte fijada. En este caso ya no se

realizado una prueba con una ganancia de 60 dB en el PGA202 puesto que este dispositivo, a esa ganancia, tenía un ancho de banda de 250 kHz.



*Figura 32. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 550 kHz y modo 01 del LTC6603.*

En la figura 32 están expuestos los resultados de la última prueba realizada en el modo 01 del LTC6603. Se ha fijado la frecuencia de corte en 550 kHz y se han anotado los resultados para las ganancias del PGA202 que están indicadas.



*Figura 33. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 400 kHz y modo 1X del LTC6603.*

La figura 33 muestra los resultados de la primera prueba realizada para el sistema completo con el modo 1X del LTC6603. La frecuencia de corte ha sido fijada en unos 400 kHz (la mínima posible en este modo era de 375 kHz), que es donde alcanza su punto máximo.

Hasta ahora, todas las pruebas se han realizado con una frecuencia de corte inferior al ancho de banda del PGA202. Pero en las dos últimas pruebas no es así, y a continuación se muestran los efectos.



### f corte=1.5 MHz, Modo 1X

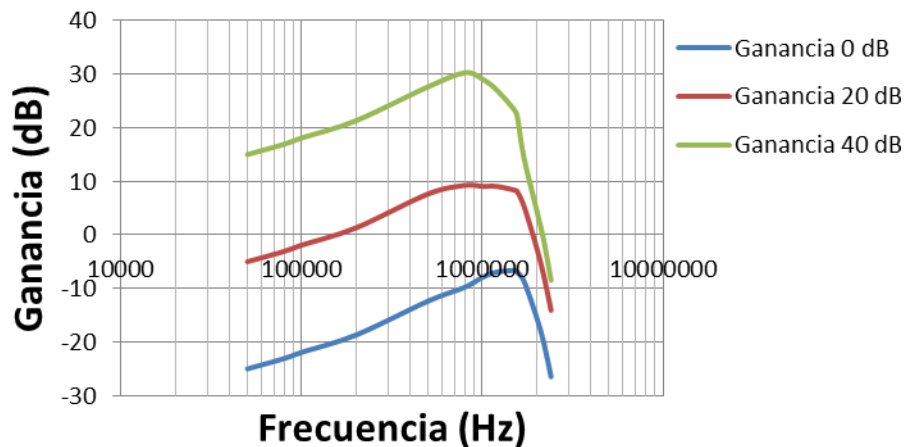


Figura 34. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 1.5MHz y modo 1X del LTC6603.

En la gráfica de la figura 34 ya se atisban las consecuencias de que el ancho de banda máximo del PGA202 sea de 1 MHz. Al llegar a este punto se alcanza la cota máxima pese a no haber alcanzado la frecuencia de corte. La disminución en las prestaciones del amplificador provoca que a ganancias de 20 y 40 dB del PGA202 la señal no sea amplificada lo suficiente y provoca que el punto máximo no esté en la frecuencia de corte sino que estará en torno a 1 MHz, el punto máxima ganancia. Esto sin embargo no sucede para una ganancia de 0 dB en el PGA202.

### f corte=2.4MHz, Modo1X

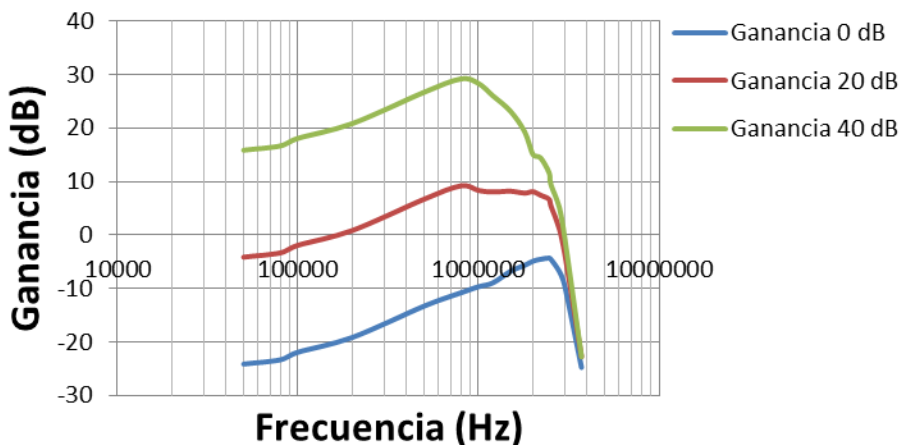


Figura 35. Respuesta en frecuencia para el sistema completo con frecuencia de corte de 2.4MHz y modo 1X del LTC6603.

En la última prueba ya se aprecia mejor que pese a que a más altas frecuencias el efecto del condensador de acoplo es menor, las prestaciones del amplificador han disminuido lo suficiente como para que el punto máximo no se dé en la frecuencia de corte del LTC6603.

En resumen, el dispositivo actúa como un filtro paso banda tal como ha sido diseñado. Existe una única frecuencia de corte, que es la escogida en el dispositivo



LTC6603. Según aumenta la frecuencia de la señal entrante, el condensador de acoplo permite que un mayor nivel de señal llegue al filtro paso bajo (acorde con la fórmula de la impedancia de un condensador). En el momento en el que se supera la frecuencia de corte, el efecto del condensador de acoplo se ve superado por los efectos en la ganancia que produce el LTC6603.

En cuanto a la ganancia, se ha comprobado el correcto funcionamiento de la etapa de amplificación hasta la frecuencia de 1 MHz. En ese momento, las prestaciones del amplificador empiezan a disminuir, provocando que cerca de la frecuencia máxima del diseño (2.5 MHz) la frecuencia de corte no sea el punto de máxima ganancia del sistema cuando se usa el amplificador PGA202 con ganancias de 20 y 40 dB.

## 6.4 Conclusiones.

En este proyecto se ha diseñado un filtro paso banda de frecuencia de corte seleccionable y con niveles de amplificación variables cómodamente. La frecuencia de corte seleccionable puede estar entre aproximadamente los 100 kHz y los 2.5 MHz. Además, lleva una etapa de amplificación variable en la que se puede escoger entre una ganancia de 0, 20, 40 y 60 dB. Conviene no confundir estos valores de ganancia para la etapa de amplificación con valores de ganancia para el sistema completo. Como ya se ha comprobado en las pruebas experimentales, no son coincidentes.

Las pruebas realizadas del sistema completo han sido con un condensador de acoplo cuya capacidad era de 120 pF. La inclusión de un condensador con otro valor de capacidad podría ser una idea atrayente. Es posible que con un condensador de una capacidad mayor a 120 pF el sistema consiga una ganancia mayor que con el utilizado en las pruebas. Con una capacidad más alta, la impedancia del condensador de acoplo sería menor, permitiendo así que la señal que llegase al LTC6603 fuese mayor.

Asimismo, conviene destacar los resultados para señales con una frecuencia mayor de 1 MHz. El amplificador no sería capaz de amplificar estas señales con la misma eficacia. Por ello, sería recomendable para señales de más de 1 MHz el uso del ajuste de la ganancia del filtro paso bajo LTC6603 (0, 6, 12 ó 24 dB) con el amplificador PGA202 usar una ganancia de 0 dB o como mucho 20 dB.



# Capítulo 7

## Presupuesto

En esta capítulo se detalla el coste de los componentes acoplados en el dispositivo, ya sea a modo de cableado o integrado en las placas diseñadas. Está omitido el coste de los cables unifilares y los pines que sirven para conexionar estos cables debido a su bajo coste de manera individual.

El coste está indicado en primer lugar indicando el coste de los componentes incluidos en cada placa, después el cableado y por último el costo total.

### Placa de potencia

Material	Unidades	Precio unitario	Precio total
Regulador L78S12	1	0,52 €	0,52 €
Regulador L78S75	1	0,81 €	0,81 €
Regulador L78S05	1	0,73 €	0,73 €
Regulador MCP1700-3002	1	0,46 €	0,46 €
Regulador L7912	1	0,56 €	0,56 €
Condensador 330nF	3	0,36 €	1,08 €
Condensador 100nF	3	0,40 €	1,20 €
Condensador 2.2 $\mu$ F	1	0,40 €	0,40 €
Condensador 1 $\mu$ F	3	0,40 €	1,20 €
Total			6,96 €

## Placa analógica

Material	Unidades	Precio unitario	Precio total
Amplificador PGA202	2	17,26 €	34,52 €
Condensadores desacoplo 100 nF	4	0,40 €	1,60 €
Conector SMB salida	2	2,70 €	5,40 €
Conector SMA entrada amp.	4	2,49 €	9,96 €
Conector SMA salida filtro	2	2,49 €	4,98 €
Pines interruptor	4	0,20 €	0,80 €
Condensadores 120 pF	2	0,30 €	0,60 €
Total			57,86 €

## Demo-Board LTC6603

Material	Unidades	Precio Unitario	Precio Total
Demo-Board LTC6603	1	111,31 €	111,31 €
Adaptador SMA-BNC	2	4 €	8,00 €
Resistencia 50Ω-BNC	2	4,77 €	9,54 €
Total			128,85 €

## Cableado

Material	Unidades	Precio Unitario	Precio Total
Cables SMA-SMA 304,8mm	6	16,62 €	99,72 €

## Coste del proyecto

Concepto	Precio
Placa de potencia	6,96 €
Placa analógica	57,86 €
Demo-Board LTC6603	128,85 €
Cableado	99,72 €
Total	293,39 €

Tal y como se mencionó en el capítulo 5 de esta memoria, la disposición de cada uno de los componentes sobre las placas de circuito impreso se ha realizado mediante el programa ‘Orcad 15.7’ de Cadence con sus herramientas Orcad Capture y Orcad Layout. Este programa no es gratuito. Se ha utilizado este programa debido a que se tienen conocimientos sobre su funcionamiento adquiridos en la asignatura ‘Fabricación y construcción de equipos electrónicos’ que ofrece la Universidad Carlos III de Madrid en el 4º curso del Grado en Ingeniería Electrónica Industrial y Automática. Sin embargo, el programa ‘Eagle’ se usa para el diseño de placas de circuito impreso y es completamente gratuito y descargable desde su sitio web. De esta manera, no sería necesario añadir coste al proyecto si se necesitase el software para la elaboración de las placas de circuito impreso.



# Bibliografía

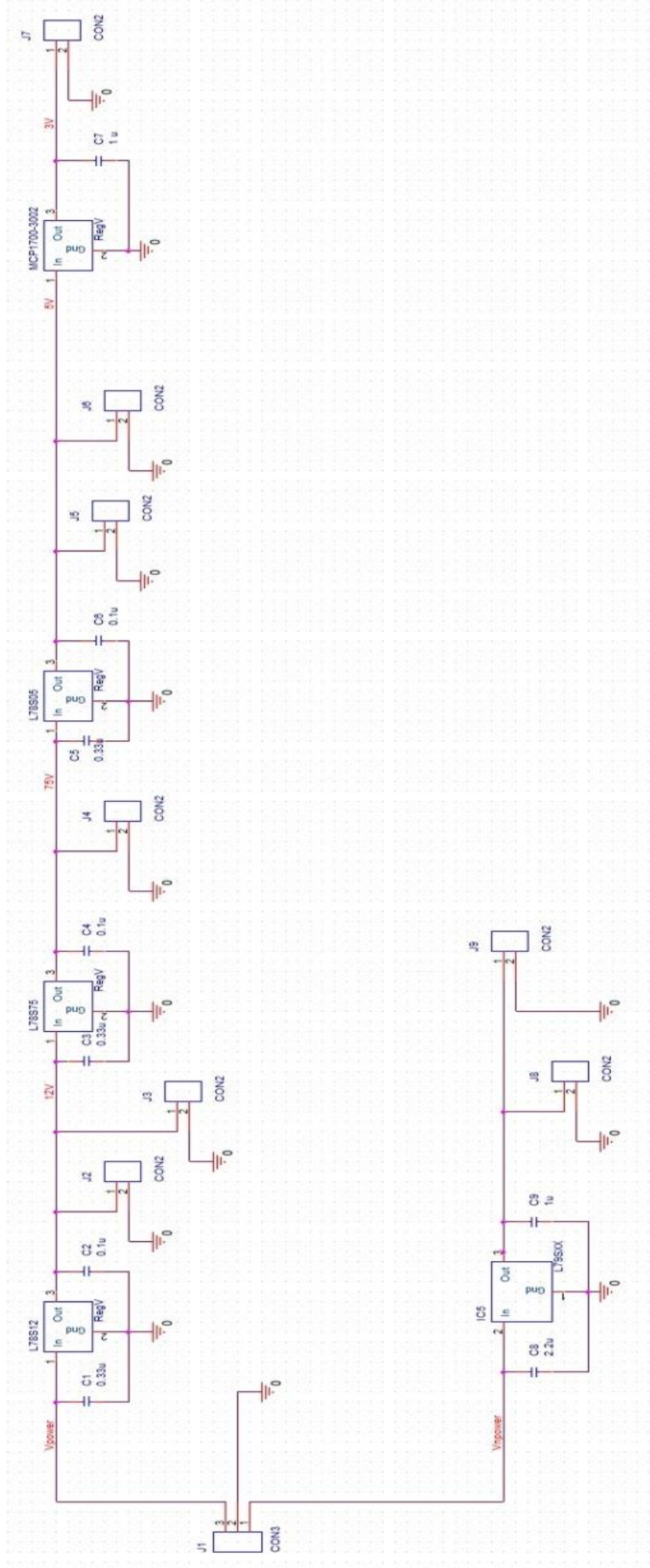
- Groose, Christian; Ohtsu, Masayasu (ed.). *Acoustic Emission Testing*. Springer. 2008. ISBN: 978-3-540-69895-1
- Panametrics-NDT. *Ultrasonic Transducer Technical Notes*. 2006. [27/09/2015]. Disponible en:  
<https://www.olympus-ims.com/data/File/panametrics/UT-technotes.en.pdf>
- Panametrics-NDT. *Ultrasonic Transducer for Nondestructive Testing*. 2014. [27/09/2015]. Disponible en:  
<http://www.olympus-ims.com/en/pdf-library/157-catId.268435489.html>
- Brüel & Kjaer. *Product Data Hydrophone-Types 8103, 8104,8105 and 8106*. 2006. [27/09/2015]. Disponible en:  
<http://www.lthe.fr/LTHE/IMG/pdf/DocBruelKjaerHydro.pdf>
- Panametrics-NDT. *5072PR, 5073PR and 5077PR Manually Controlled Pulser-Receivers*. 2005. [27/09/2015]. Disponible en:  
[http://cache.olympus-ims.com/downloads/storage/276824178/5072-73-77\\_EN\\_201405\\_web.pdf?\\_\\_gda\\_\\_=1443377991\\_839dc4b3ff253719947d69d84179109b](http://cache.olympus-ims.com/downloads/storage/276824178/5072-73-77_EN_201405_web.pdf?__gda__=1443377991_839dc4b3ff253719947d69d84179109b)
- Mistras. *Product Datasheet R15I-AST Sensor*. 2015. [27/09/2015]. Disponible en:  
[http://www.physicalacoustics.com/content/literature/sensors/Model\\_R15I-AST.pdf](http://www.physicalacoustics.com/content/literature/sensors/Model_R15I-AST.pdf)
- Sedra, Adel S; Smith, Kenneth C. *Circuitos microelectrónicos*. McGraw-Hill 5ª edición. 2006. ISBN: 9789701054727.
- Linear Technology. *LTC6603 Dual Adjustable Low Pass Filter*. 2008. [27/09/2015]. Disponible en:  
<http://cds.linear.com/docs/en/datasheet/6603fa.pdf>
- Texas instruments. *PGA202/203 Digitally Controlled Programmable-Gain INSTRUMENTATION AMPLIFIER*. 2000. [27/09/2015]. Disponible en:  
<http://www.ti.com/lit/ds/symlink/pga203.pdf>

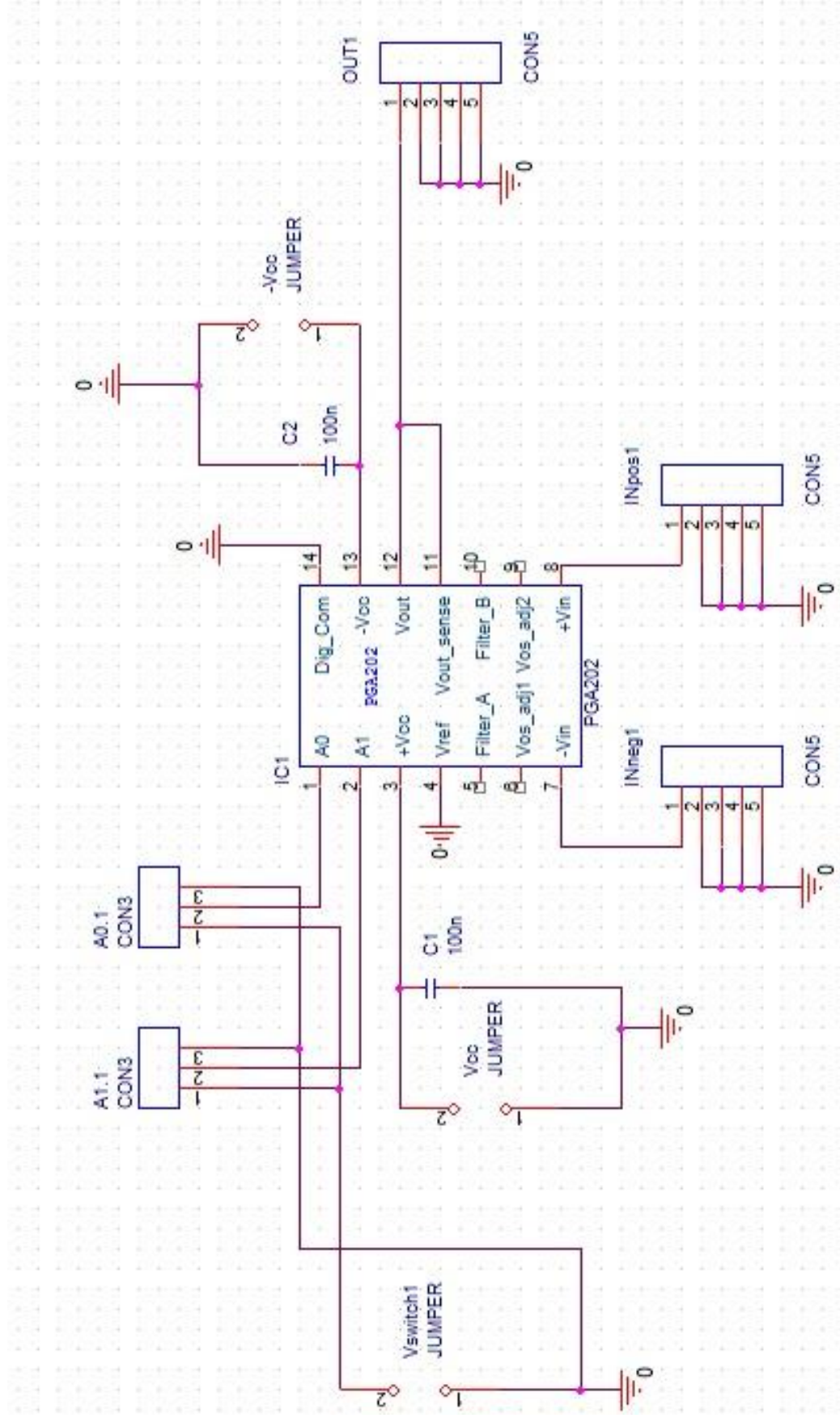




# Anexos

- I. Esquema electrónico de la placa de alimentación.
- II. Esquema electrónico de la etapa de amplificación.
- III. Hoja de características de LTC6603.
- IV. Hoja de características de PGA202.





## FEATURES

- **Guaranteed Phase and Gain Matching Specs**
- **Programmable BW Up to 2.5MHz**
- **Programmable Gain (0dB/6dB/12dB/24dB)**
- **9th Order Linear Phase Response**
- Differential, Rail-to-Rail Inputs and Outputs
- Low Noise:  $-145\text{dBm/Hz}$  (Input Referred)
- Low Distortion:  $-75\text{dBc}$  at 200kHz
- Simple Pin Programming or SPI Interface
- Set the Max Speed/Power with an External R
- Operates from 2.7V to 3.6V
- Input Range from 0V to 5.5V
- 4mm × 4mm QFN Package

## APPLICATIONS

- Small/Low Cost Basestations:  
IDEN, PHS, TD-SCDMA, CDMA2000, WCDMA, UMTS
- Low Cost Repeaters, Radio Links, and Modems
- 802.11x Receivers
- JTRS

LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

## DESCRIPTION

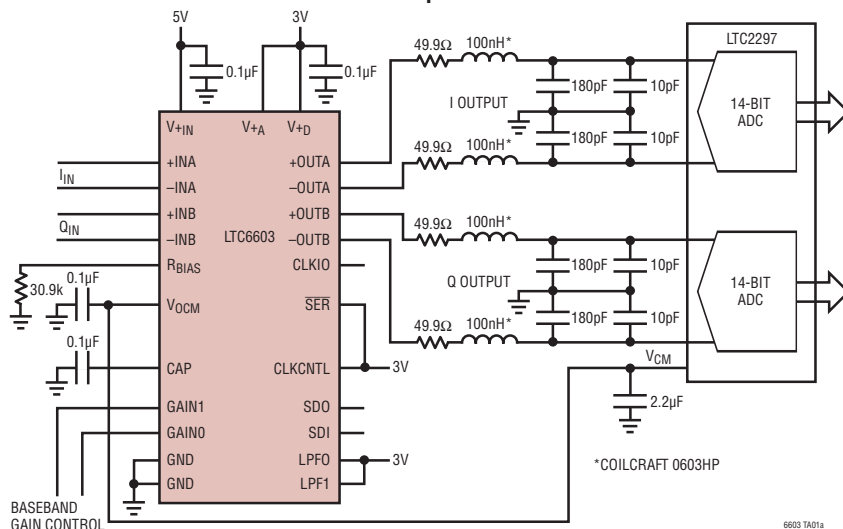
The LTC<sup>®</sup>6603 is a dual, matched, programmable lowpass filter for communications receivers and transmitters. The selectivity of the LTC6603, combined with its linear phase, phase matching and dynamic range, make it suitable for filtering in many communications systems. With  $1.5^\circ$  phase matching between channels, the LTC6603 can be used in applications requiring pairs of matched filters, such as transceiver I and Q channels. Furthermore, the differential inputs and outputs provide a simple interface for most communications systems.

The sampled data filter does not require an external clock yet its cutoff frequency can be set with a single external resistor with an accuracy of 3.5% or better. The external resistor programs an internal oscillator whose frequency is divided prior to being applied to the filter networks. This allows up to three cutoff frequencies that can be obtained for each external resistor value, allowing the cutoff frequency to be programmed over a range of more than six octaves. Alternatively, the cutoff frequency can be set with an external clock. The filter gain can also be programmed to 1, 2, 4 or 16.

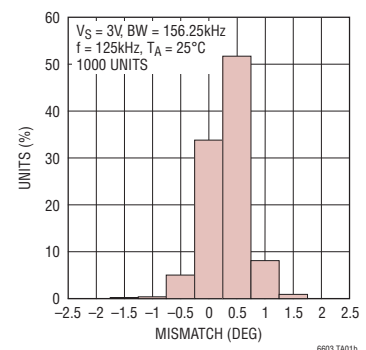
The LTC6603 features a low power shutdown mode that can be programmed through the serial interface and is available in a 24-pin 4mm × 4mm QFN package.

## TYPICAL APPLICATION

2.5MHz I and Q Lowpass Filter and Dual ADC



Phase Matching

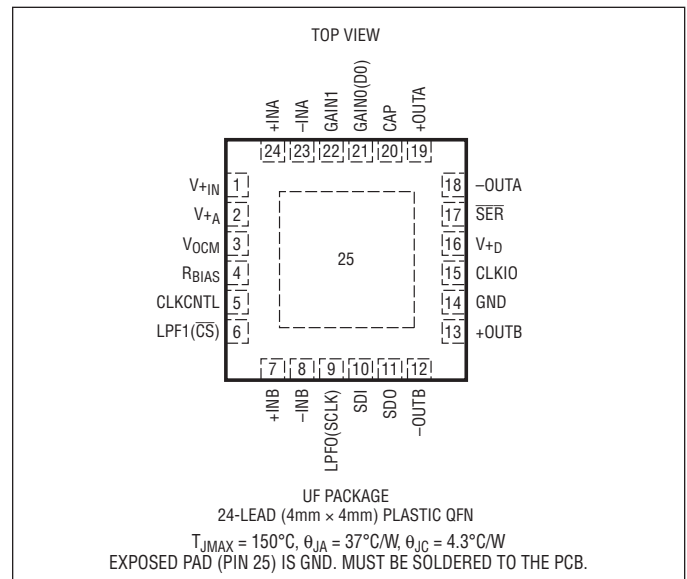


## ABSOLUTE MAXIMUM RATINGS

(Note 1)

$V_{+IN}$ to GND .....	6V
$V_{+A}$ , $V_{+D}$ to GND .....	4V
$V_{+A}$ to $V_{+D}$ .....	-0.3V to +0.3V
Filter Inputs to GND .....	-0.3V to $V_{+IN}$ + 0.3V
Pins 3, 4 to GND .....	-0.3V to $V_{+A}$ + 0.3V
Pins 5, 6, 9-11, 15, 17, 21, 22 to GND .....	-0.3V to $V_{+D}$ + 0.3V
Output Short-Circuit Duration .....	Indefinite
Operating Temperature Range (Note 2)	
LTC6603CUF .....	-40°C TO 85°C
LTC6603IUF .....	-40°C TO 85°C
Specified Temperature Range (Note 3)	
LTC6603CUF .....	0°C TO 70°C
LTC6603IUF .....	-40°C TO 85°C
Storage Temperature Range .....	-65°C to 150°C

## PIN CONFIGURATION



## ORDER INFORMATION

LEAD FREE FINISH	TAPE AND REEL	PART MARKING*	PACKAGE DESCRIPTION	SPECIFIED TEMPERATURE RANGE
LTC6603CUF#PBF	LTC6603CUF#TRPBF	6603	24-Lead (4mm x 4mm) Plastic QFN	0°C to 70°C
LTC6603IUF#PBF	LTC6603IUF#TRPBF	6603	24-Lead (4mm x 4mm) Plastic QFN	-40°C to 85°C

Consult LTC Marketing for parts specified with wider operating temperature ranges. \*The temperature grade is identified by a label on the shipping container. Consult LTC Marketing for information on non-standard lead based finish parts.

For more information on lead free part marking, go to: <http://www.linear.com/leadfree/>

For more information on tape and reel specifications, go to: <http://www.linear.com/tapeandreel/>

## ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^{\circ}\text{C}$ .  $V_{+A} = V_{+D} = V_{+IN} = 3\text{V}$ ,  $V_{ICM} = V_{OCM} = 1.5\text{V}$ , Gain = 0dB, lowpass cutoff = 2.5MHz, internal clocking with  $R_{BIAS} = 30.9\text{k}$  unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Filter Gain Either Channel	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 156.25kHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open				
	DC Gain, Gain Set = 0dB				
	$f_{IN} = 62.5\text{kHz}$ ( $0.4 \cdot f_C$ ), Relative to DC Gain	● 0.25	0.4	0.55	dB
	$f_{IN} = 125\text{kHz}$ ( $0.8 \cdot f_C$ ), Relative to DC Gain	● -0.5	-0.3	-0.1	dB
	$f_{IN} = 156.25\text{kHz}$ ( $f_C$ ), Relative to DC Gain	● 0.4	0.6	0.8	dB
	$f_{IN} = 234.375\text{kHz}$ ( $1.5 \cdot f_C$ ), Relative to DC Gain	● -0.6	-0.4	-0.2	dB
Matching of Filter Gain	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 156.25kHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open				
	DC Gain, Gain Set = 0dB	●			
	$f_{IN} = 62.5\text{kHz}$ ( $0.4 \cdot f_C$ )	●	±0.03	±0.1	dB
	$f_{IN} = 125\text{kHz}$ ( $0.8 \cdot f_C$ )	●	±0.03	±0.1	dB
	$f_{IN} = 156.25\text{kHz}$ ( $f_C$ )	●	±0.03	±0.15	dB

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ .  $V_{+A} = V_{+D} = V_{+IN} = 3\text{V}$ ,  $V_{ICM} = V_{OCM} = 1.5\text{V}$ , Gain = 0dB, lowpass cutoff = 2.5MHz, internal clocking with  $R_{BIAS} = 30.9\text{k}$  unless otherwise noted.

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Filter Phase Either Channel	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 156.25kHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open $f_{IN} = 62.5\text{kHz}$ ( $0.4 \cdot f_C$ ) $f_{IN} = 125\text{kHz}$ ( $0.8 \cdot f_C$ ) $f_{IN} = 156.25\text{kHz}$ ( $f_C$ )	● ● ●	158 -44 -152	161 -39 -146	163 -36 -142	deg deg deg
Matching of Filter Phase	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 156.25kHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open $f_{IN} = 62.5\text{kHz}$ ( $0.4 \cdot f_C$ ) $f_{IN} = 125\text{kHz}$ ( $0.8 \cdot f_C$ ) $f_{IN} = 156.25\text{kHz}$ ( $f_C$ )	● ● ●		$\pm 0.2$ $\pm 0.4$ $\pm 0.5$	$\pm 1.5$ $\pm 3$ $\pm 4$	deg deg deg
Filter Gain Either Channel	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 2.5MHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open DC Gain, Gain Set = 0dB $f_{IN} = 1\text{MHz}$ ( $0.4 \cdot f_C$ ), Relative to DC Gain $f_{IN} = 2\text{MHz}$ ( $0.8 \cdot f_C$ ), Relative to DC Gain $f_{IN} = 2.5\text{MHz}$ ( $f_C$ ), Relative to DC Gain $f_{IN} = 4\text{MHz}$ ( $1.5 \cdot f_C$ ), Relative to DC Gain	● ● ● ● ●	0 -2 -0.7 -1.1	0.5 -0.8 0.4 0.1 -43	1.2 -0.1 1.5 1 -32.6	dB dB dB dB dB
Matching of Filter Gain	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 2.5MHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open $f_{IN} = 2\text{MHz}$ ( $0.8 \cdot f_C$ ) $f_{IN} = 2.5\text{MHz}$ ( $f_C$ )	● ●		$\pm 0.05$ $\pm 0.2$	$\pm 0.2$ $\pm 0.4$	dB dB
Filter Phase Either Channel	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 2.5MHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open $f_{IN} = 1\text{MHz}$ ( $0.4 \cdot f_C$ ) $f_{IN} = 2\text{MHz}$ ( $0.8 \cdot f_C$ ) $f_{IN} = 2.5\text{MHz}$ ( $f_C$ )	● ● ●	150 -45 -152	155 -39 -141	159 -28 -126	deg deg deg
Matching of Filter Phase	External Clock = 80MHz, Filter Cutoff ( $f_C$ ) = 2.5MHz, $V_{IN} = 3.6\text{V}_{P-P}$ , Pin 3 Open $f_{IN} = 1\text{MHz}$ ( $0.4 \cdot f_C$ ) $f_{IN} = 2\text{MHz}$ ( $0.8 \cdot f_C$ ) $f_{IN} = 2.5\text{MHz}$ ( $f_C$ )	● ● ●			$\pm 2.5$ $\pm 4$ $\pm 4$	deg deg deg
Filter Cutoff Accuracy when Self Clocked	CLKCNTL = 3V (Note 4) $R_{BIAS} = 200\text{k}$ $R_{BIAS} = 54.9\text{k}$ $R_{BIAS} = 30.9\text{k}$	● ● ●			$\pm 3$ $\pm 3$ $\pm 3.5$	% % %
DC Gain	Filter Cutoff ( $f_C$ ) = 2.5MHz, 0.6V to 2.4V Each Output, Pin 3 Open Gain Setting = 0dB Gain Setting = 6dB Gain Setting = 12dB Gain Setting = 24dB	● ● ● ●	0 5.6 11.2 22.5	0.5 6 11.8 23.2	1.2 6.6 12.5 24	dB dB dB dB
DC Gain Matching	Filter Cutoff ( $f_C$ ) = 2.5MHz, 0.6V to 2.4V Each Output, Pin 3 Open Gain Setting = 0dB Gain Setting = 6dB Gain Setting = 12dB Gain Setting = 24dB	● ● ● ●		$\pm 0.1$ $\pm 0.05$ $\pm 0.05$ $\pm 0.1$	$\pm 0.2$ $\pm 0.1$ $\pm 0.15$ $\pm 0.2$	dB dB dB dB
Noise At 200kHz	Voltage Noise Referred to the Input Gain = 0dB Gain = 6dB Gain = 12dB Gain = 24dB			-124 -129 -135 -145		dBm/Hz dBm/Hz dBm/Hz dBm/Hz
Integrated Noise	Noise Bandwidth = 5MHz, Referred to the Input Gain = 0dB Gain = 6dB Gain = 12dB Gain = 24dB			-53 -59 -65 -76		dBm dBm dBm dBm
THD	$V_{IN} = 2\text{V}_{P-P}$ , $f_{IN} = 200\text{kHz}$ , Gain Setting = 24dB			-75		dB
Input Impedance	Gain = 24dB, $R_{BIAS} = 30.9\text{k}$ , Filter Cutoff ( $f_C$ ) = 2.5MHz Differential Common Mode			1.6 5		k $\Omega$ k $\Omega$



**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ .  $V_{+A} = V_{+D} = V_{+IN} = 3\text{V}$ ,  $V_{ICM} = V_{OCM} = 1.5\text{V}$ , Gain = 0dB, lowpass cutoff = 2.5MHz, internal clocking with  $R_{BIAS} = 30.9\text{k}$  unless otherwise noted.

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{OS}$ Differential	Input Referred Differential Offset Voltage at Either Output	●			±8	mV
	Lowest Cutoff Frequency, Gain Setting = 24dB	●			±14	mV
	Highest Cutoff Frequency, Gain Setting = 24dB	●			±40	mV
	Lowest Cutoff Frequency, Gain Setting = 0dB	●			±60	mV
CMRR Differential	$f_C = 625\text{kHz}$	●	60	90		dB
	Common Mode Input from 0V to 3V, $V_{+IN} = 3\text{V}$	●	60	90		dB
$V_{OCM}$ Pin Voltage	$V_{+A} = V_{+D} = 3\text{V}$ , Pin 3 Open, $f_C = 156.25\text{kHz}$	●	1.3	1.45	1.5	V
$V_{OCM}$ Pin Input Impedance	$V_{+A} = V_{+D} = 3\text{V}$ , Pin 3 Open, $f_C = 156.25\text{kHz}$	●	2.5	3.4	4.5	k $\Omega$
$V_{OSCM}$	Common Mode Offset Voltage, $V_{OCM} = 1.5\text{V}$ , Supplies = 3V $V_{OSCM} = V_{OUT-CM} - V_{OCM}$	●		100	185	mV
Output Swing	$f_C = 156.25\text{kHz}$	●		200	500	mV
	Source 1mA, Relative to $V_{+A}$ Sink 1mA, Relative to GND	●		150	400	mV
Short-Circuit Current	$f_C = 156.25\text{kHz}$	●	7	25		mA
	Sourcing Sinking	●	11	30		mA
Supply Current	Internal Clock ( $R_{BIAS} = 30.9\text{k}$ ); Sum of the Currents into $V_{+D}$ , $V_{+A}$ , and $V_{+IN}$ All Supplies Set to 3V	●		88	96	mA
	$f_C = 156.25\text{kHz}$	●		121	130	mA
	$f_C = 625\text{kHz}$	●		162	175	mA
	$f_C = 2.5\text{MHz}$	●				mA
Supply Current, Shutdown Mode	Sum of the Currents into $V_{+D}$ , $V_{+A}$ , and $V_{+IN}$ ; All Supplies Set to 3V Shutdown Via Serial Interface	●		170	235	$\mu\text{A}$
Supply Voltage	$V_{+D}$ , $V_{+A}$ Relative to GND	●	2.7		3.6	V
	$V_{+IN}$ Relative to GND	●	2.7		5.5	V
PSRR	$V_{+D} = V_{+A} = V_{+IN}$ , All from 2.7V to 3.6V	●	40	50		dB
	$V_{+D} = V_{+A} = 3\text{V}$ , $V_{+IN}$ from 4.5V to 5.5V	●	65	85		dB
$R_{BIAS}$ Resistor Range	CLKCNTL = 3V	●	30.9		54.9	k $\Omega$
	Clock Frequency Error < $\pm 3.5\%$	●	54.9		200	k $\Omega$
	Clock Frequency Error < $\pm 3\%$	●				
$R_{BIAS}$ Pin Voltage	$30.9\text{k} < R_{BIAS} < 200\text{k}$			1.17		V
Clock Frequency Drift Over Temperature	$R_{BIAS} = 30.9\text{k}$ CLKCNTL Pin Open			40		ppm/ $^\circ\text{C}$
Clock Frequency Drift Over Supply	$V_{+A}$ , $V_{+D}$ from 2.7V to 3.6V, $R_{BIAS} = 30.9\text{k}$ CLKCNTL Pin Open	●		0.2	0.5	%/V
Output Clock Duty Cycle	$R_{BIAS} = 30.9\text{k}$	●	45	50	55	%
CLKIO Pin High Level Input Voltage	CLKCNTL = 0V (Note 5)	●	$V_{+D} - 0.3$			V
CLKIO Pin Low Level Input Voltage	CLKCNTL = 0V (Note 5)	●			0.3	V
CLKIO Pin Input Current	CLKCNTL = 0V	●	-1			$\mu\text{A}$
	CLKIO = 0V (Note 6)	●			10	$\mu\text{A}$
	CLKIO = $V_{+D}$	●				$\mu\text{A}$
CLKIO Pin High Level Output Voltage	$V_{+A} = V_{+D} = 3\text{V}$ , CLKCNTL = 3V			2.95		V
	$I_{OH} = -1\text{mA}$ $I_{OH} = -4\text{mA}$			2.9		V

**ELECTRICAL CHARACTERISTICS** The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ .  $V_{+A} = V_{+D} = V_{+IN} = 3\text{V}$ ,  $V_{ICM} = V_{OCM} = 1.5\text{V}$ , Gain = 0dB, lowpass cutoff = 2.5MHz, internal clocking with  $R_{BIAS} = 30.9\text{k}$  unless otherwise noted.

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
CLKIO Pin Low Level Output Voltage	$V_{+A} = V_{+D} = 3\text{V}$ , CLKCNTL = 3V $I_{OL} = 1\text{mA}$ $I_{OL} = 4\text{mA}$			0.05 0.1		V V
CLKIO Pin Rise Time	$V_{+A} = V_{+D} = \text{CLKCNTL} = 3\text{V}$ , $C_{LOAD} = 5\text{pF}$			0.3		ns
CLKIO Pin Fall Time	$V_{+A} = V_{+D} = \text{CLKCNTL} = 3\text{V}$ , $C_{LOAD} = 5\text{pF}$			0.3		ns
$\overline{\text{SER}}$ High Level Input Voltage	Pin 17	●	$V_{+D} - 0.3$			V
$\overline{\text{SER}}$ Low Level Input Voltage	Pin 17	●			0.3	V
$\overline{\text{SER}}$ Input Current	Pin 17 = 0V (Note 6) Pin 17 = $V_{+D}$	● ●	-10		2	$\mu\text{A}$ $\mu\text{A}$
CLKCNTL High Level Input Voltage	Pin 5	●	$V_{+D} - 0.5$			V
CLKCNTL Low Level Input Voltage	Pin 5				0.5	V
CLKCNTL Input Current	CLKCNTL = 0V (Note 6) CLKCNTL = $V_{+D}$	● ●	-25	-15 15	25	$\mu\text{A}$ $\mu\text{A}$

**Pin Programmable Control Mode Specifications.** Specifications apply to Pins 6, 9, 21 and 22 in pin programmable control mode.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{+D} = 2.7\text{V to } 3.6\text{V}$							
$V_{IH}$	Digital Input High Voltage	Pins 6, 9, 21, 22	●	2			V
$V_{IL}$	Digital Input Low Voltage	Pins 6, 9, 21, 22	●			0.8	V
$I_{IN}$	Digital Input Current	Pins 6, 9, 21, 22 (Note 6)	●	-1		1	$\mu\text{A}$

**Serial Port DC and Timing Specifications.** Specifications apply to Pins 6, 9-11, and 21 in serial programming mode.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{+D} = 2.7\text{V to } 3.6\text{V}$							
$V_{IH}$	Digital Input High Voltage	Pins 6, 9, 10	●	2			V
$V_{IL}$	Digital Input Low Voltage	Pins 6, 9, 10	●			0.8	V
$I_{IN}$	Digital Input Current	Pins 6, 9, 10 (Note 6)	●	-1		1	$\mu\text{A}$
$V_{OH}$	Digital Output High Voltage	Pins 11, 21 Sourcing 500 $\mu\text{A}$	●	$V_{SUPPLY} - 0.3$			V
$V_{OL}$	Digital Output Low Voltage	Pins 11, 21 Sinking 500 $\mu\text{A}$	●			0.3	V
$t_1$ (Note 5)	SDI Valid to SCLK Setup		●	60			ns
$t_2$ (Note 5)	SDI Valid to SCLK Hold		●	0			ns
$t_3$	SCLK Low		●	100			ns
$t_4$	SCLK High		●	100			ns
$t_5$	$\overline{\text{CS}}$ Pulse Width		●	60			ns
$t_6$ (Note 5)	LSB SCLK to $\overline{\text{CS}}$		●	60			ns
$t_7$ (Note 5)	$\overline{\text{CS}}$ Low to SCLK		●	30			ns
$t_8$	SDO Output Delay	$C_L = 15\text{pF}$	●			125	ns
$t_9$ (Note 5)	SCLK Low to $\overline{\text{CS}}$ Low		●	0			ns

6603fa



## ELECTRICAL CHARACTERISTICS

**Note 1:** Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

**Note 2:** LTC6603C and LTC6603I are guaranteed functional over the operating temperature range of  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

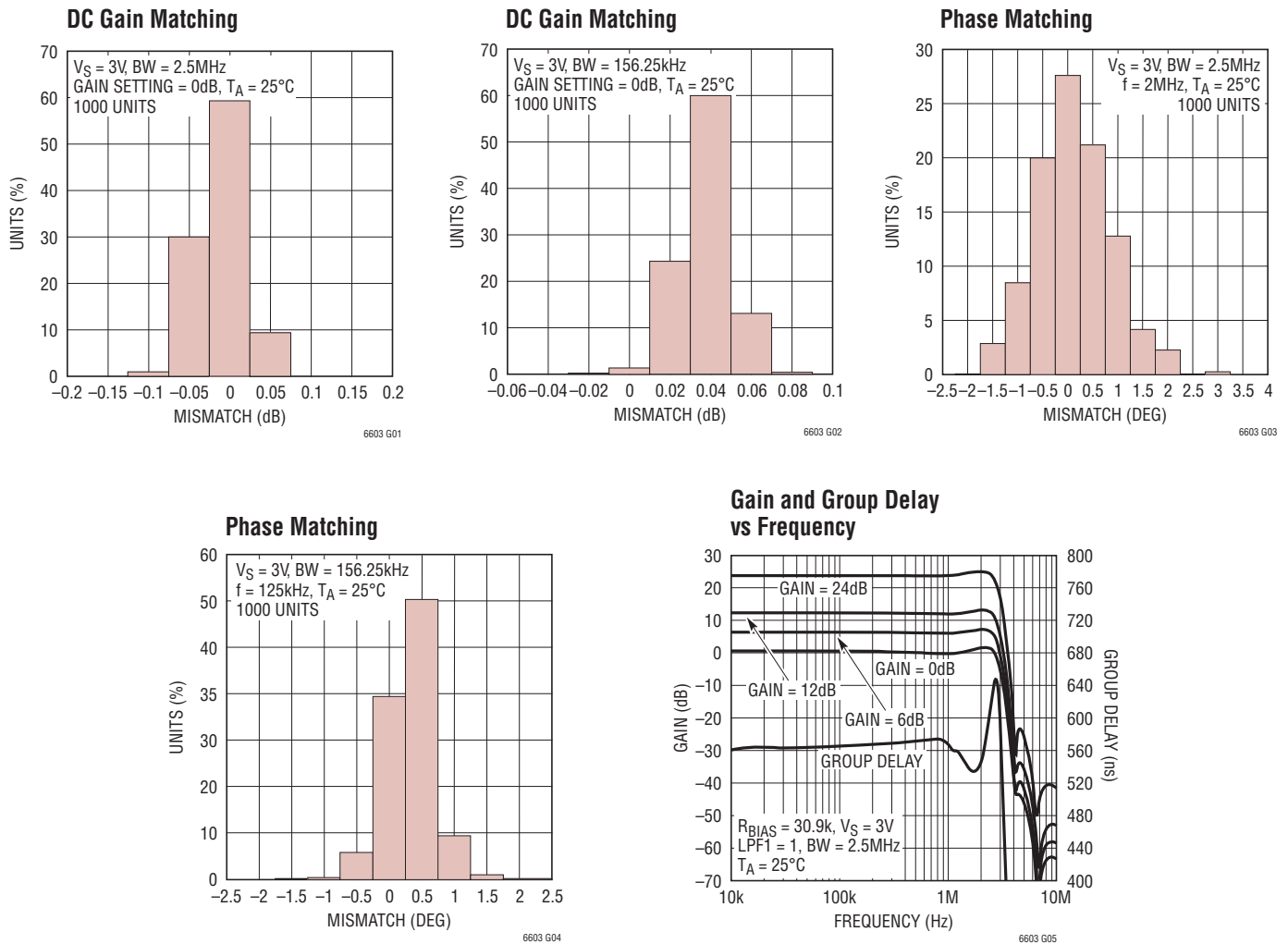
**Note 3:** LTC6603C is guaranteed to meet specified performance from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ . The LTC6603C is designed, characterized and expected to meet specified performance from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$  but is not tested or QA sampled at these temperatures. The LTC6603I is guaranteed to meet the specified performance limits from  $-40^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ .

**Note 4:** This test measures the internal oscillator accuracy (deviation from the  $f_{\text{CLK}}$  equation). Variations in the internal oscillator cause variations in the filter cutoff frequency. See the “Applications Information” section.

**Note 5:** Guaranteed by design, not subject to test.

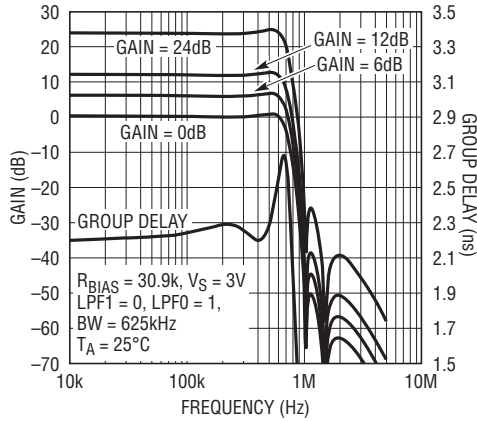
**Note 6:** To conform to the logic IC standard, current out of a pin is arbitrarily given a negative value.

## TYPICAL PERFORMANCE CHARACTERISTICS

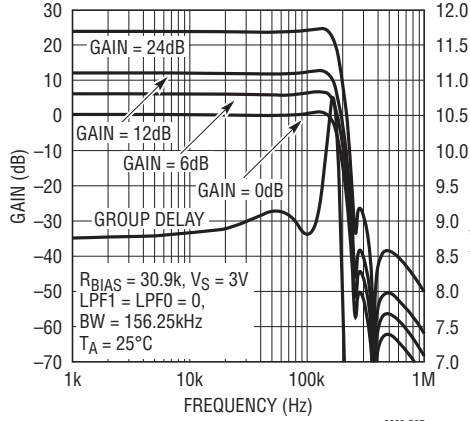


## TYPICAL PERFORMANCE CHARACTERISTICS

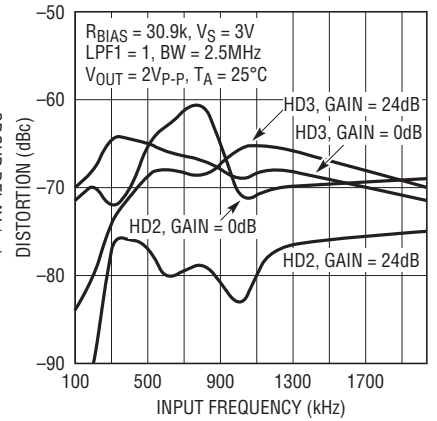
Gain and Group Delay vs Frequency



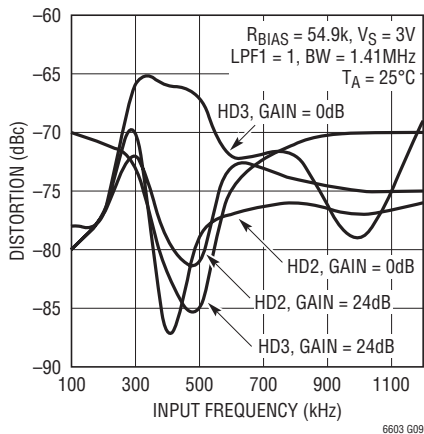
Gain and Group Delay vs Frequency



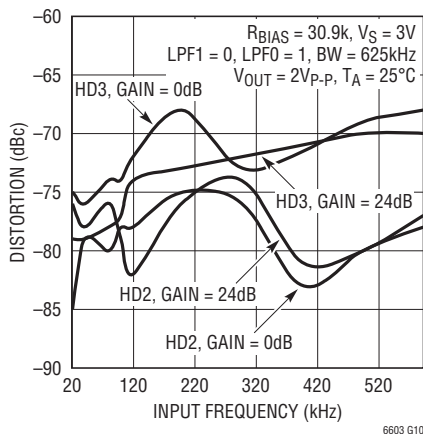
Distortion vs Input Frequency



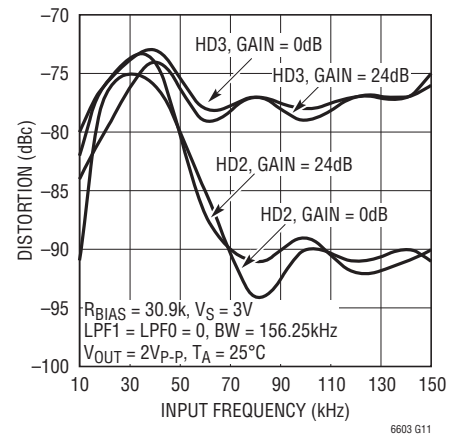
Distortion vs Input Frequency



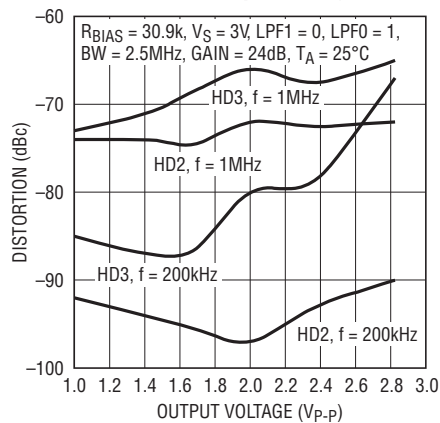
Distortion vs Input Frequency



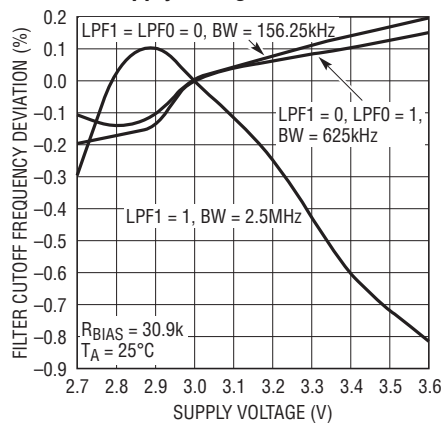
Distortion vs Input Frequency



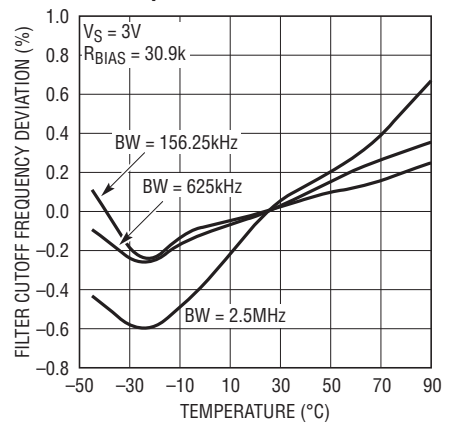
Distortion vs Output Voltage



Filter Cutoff Accuracy vs Supply Voltage

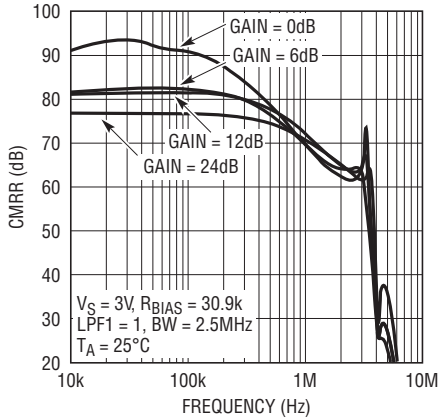


Filter Cutoff Accuracy vs Temperature

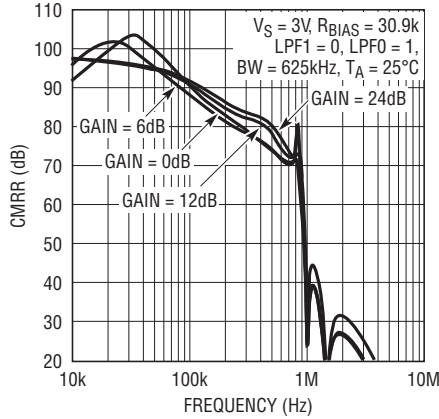


# TYPICAL PERFORMANCE CHARACTERISTICS

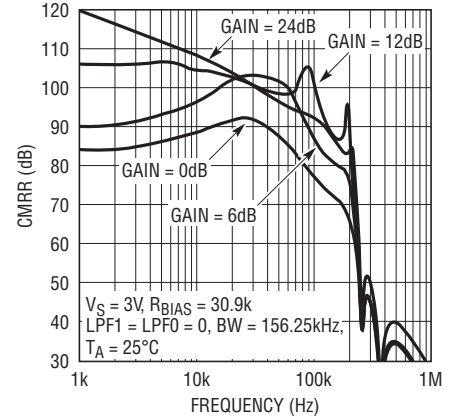
Common Mode Rejection Ratio



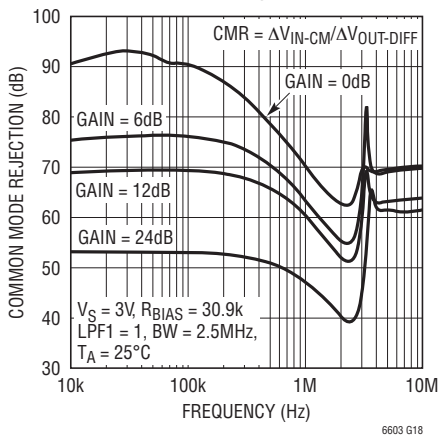
Common Mode Rejection Ratio



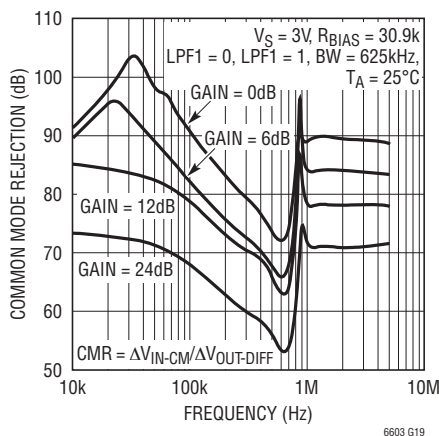
Common Mode Rejection Ratio



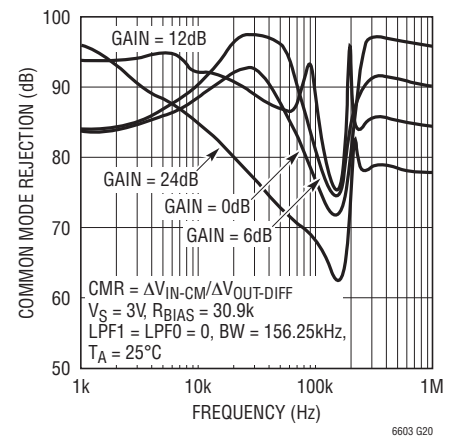
Common Mode Rejection



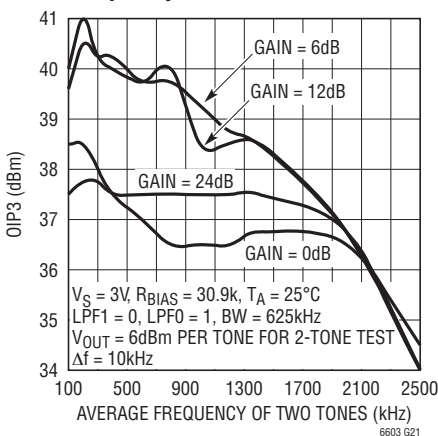
Common Mode Rejection



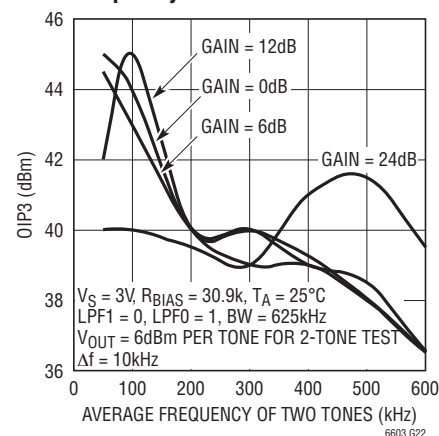
Common Mode Rejection



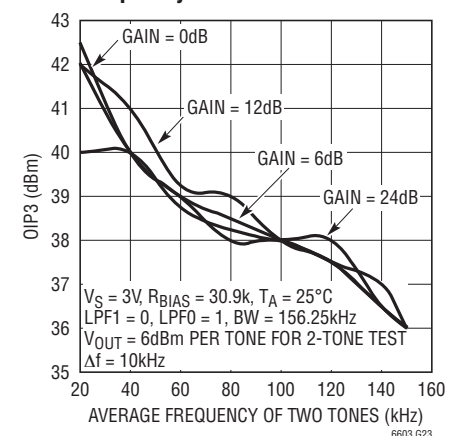
OIP3 vs Average Signal Frequency



OIP3 vs Average Signal Frequency

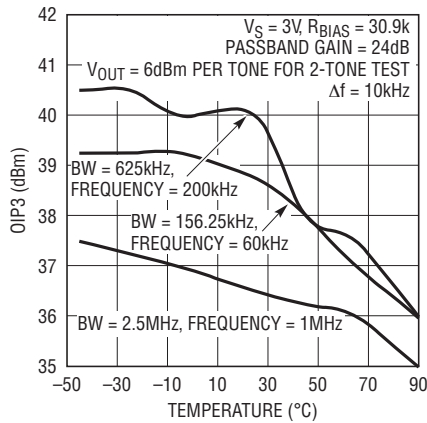


OIP3 vs Average Signal Frequency



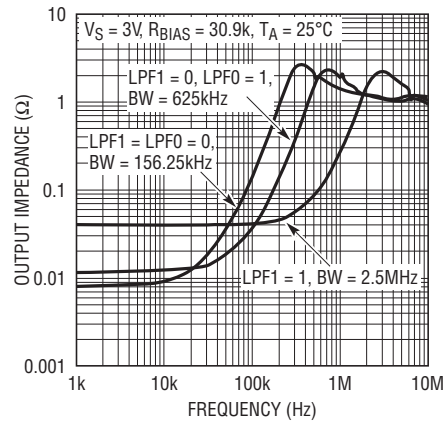
## TYPICAL PERFORMANCE CHARACTERISTICS

OIP3 vs Temperature



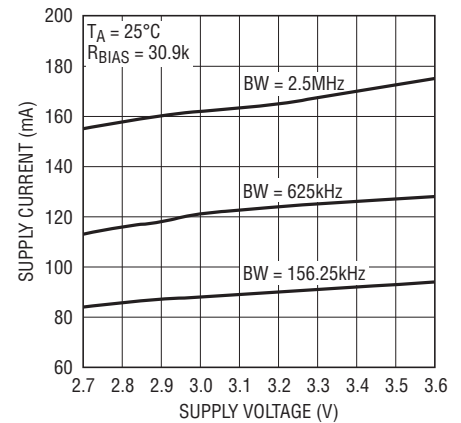
6603 G23

Output Impedance vs Frequency



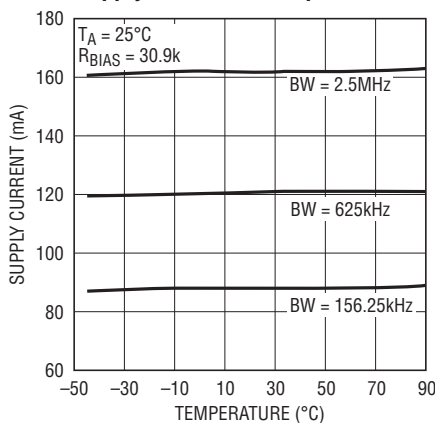
6603 G25

Supply Current vs Supply Voltage



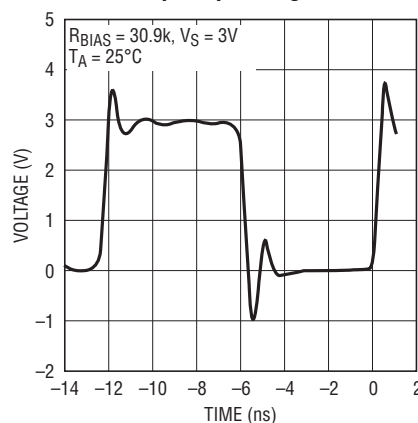
6603 G26

Supply Current vs Temperature

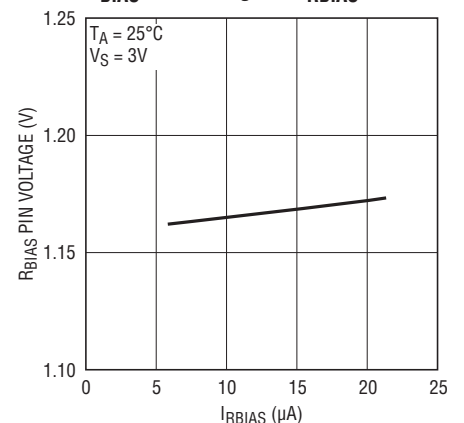


6603 G27

Clock Output Operating at 80MHz

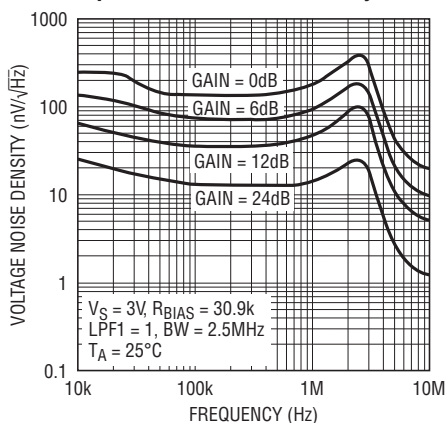


6603 G28

 $R_{BIAS}$  Pin Voltage vs  $I_{BIAS}$ 

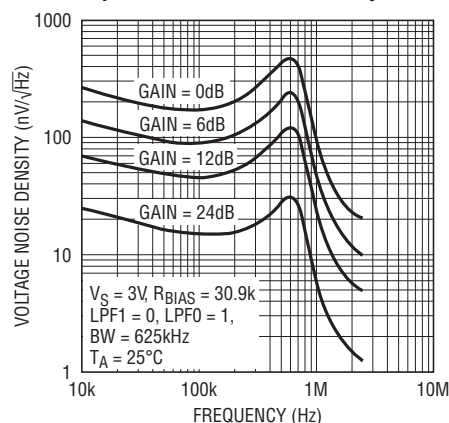
6603 G29

Input Referred Noise Density



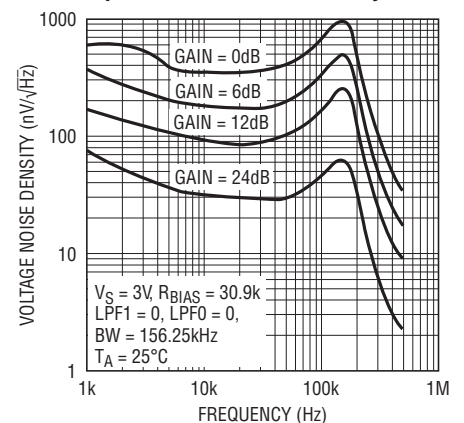
6603 G30

Input Referred Noise Density



6603 G31

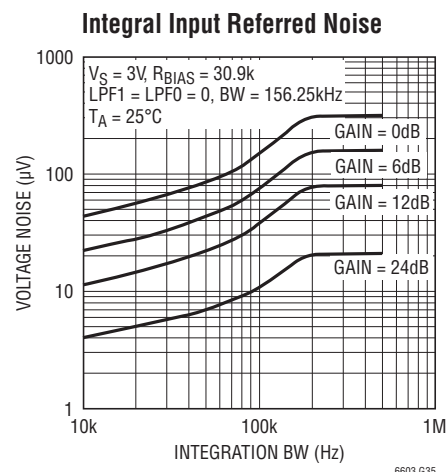
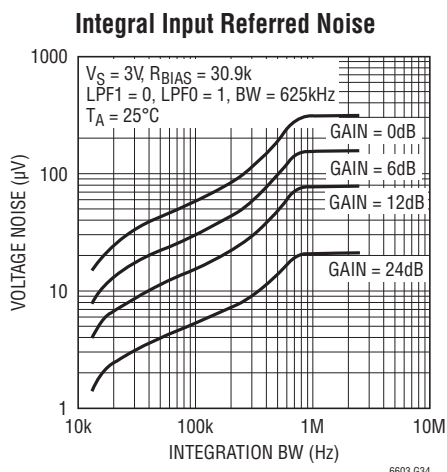
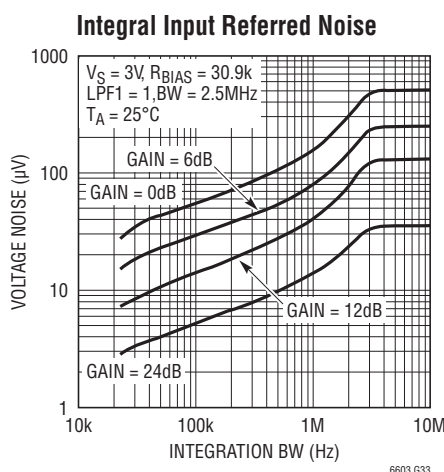
Input Referred Noise Density



6603 G32

6603fa

## TYPICAL PERFORMANCE CHARACTERISTICS



## PIN FUNCTIONS

**V<sub>IN</sub> (Pin 1):** Input Voltage Supply ( $2.7V \leq V \leq 5.5V$ ). This supply must be kept free from noise and ripple. It should be bypassed directly to a ground plane with a 0.1µF capacitor unless it is tied to V<sub>+</sub>A (Pin 2). The bypass should be as close as possible to the IC, but is not as critical as the bypassing of V<sub>+</sub>A and V<sub>+</sub>D (Pin16).

**V<sub>+</sub>A (Pin 2):** Analog Voltage Supply ( $2.7V \leq V \leq 3.6V$ ). This supply must be kept free from noise and ripple. It should be bypassed directly to a ground plane with a 0.1µF capacitor. The bypass should be as close as possible to the IC.

**V<sub>OCM</sub> (Pin 3):** Output Common Mode Voltage Reference. If floated, an internal resistive divider sets the voltage on this pin to half the supply voltage (typically 1.5V), maximizing the dynamic range of the filter. If this pin is floated, it must be bypassed with a quality 1µF capacitor to ground. This pin has a typical input impedance of 3.4k and may be overdriven. Driving this pin to a voltage other than the default value will reduce the signal range the filter can handle before clipping.

**R<sub>BIAS</sub> (Pin 4):** Oscillator Frequency-Setting Resistor Input. The value of the resistor connected between this pin and ground determines the frequency of the master oscillator, and sets the bias currents for the filter networks. The voltage on this pin is held by the LTC6603 to approximately 1.17V.

For best performance, use a precision metal film resistor with a value between 30.9k and 200k and limit the capacitance on this pin to less than 10pF. This resistor is necessary even if an external clock is used.

**CLKCNTL (Pin 5):** Clock Control Input. This three-state input selects the function of CLKIO (Pin 15). Tying the CLKCNTL pin to ground allows the CLKIO pin to be driven by an external clock (CLKIO is the master clock input). If the CLKCNTL pin is floated, the internal oscillator is enabled, but the master clock is not present at the CLKIO pin (CLKIO is a no-connect). If the CLKCNTL pin is tied to V<sub>+</sub>D (Pin 16), the internal oscillator is enabled and the master clock is present at the CLKIO pin (CLKIO is the master clock output). To detect a floating CLKCNTL pin, the LTC6603 attempts to pull the pin toward mid-supply. This is realized with two internal 15µA current sources, one tied to V<sub>+</sub>D and CLKCNTL and the other one tied to ground and CLKCNTL. Therefore, driving the CLKCNTL pin high requires sourcing approximately 15µA. Likewise, driving the CLKCNTL pin low requires sinking 15µA. When the CLKCNTL pin is floated, it should be bypassed by a 1nF capacitor to ground or be surrounded by a ground shield to prevent excessive coupling from other PCB traces.

## PIN FUNCTIONS

**LPF1( $\overline{\text{CS}}$ ) (Pin 6):** TTL Level Input. When in pin programmable control mode, this pin is the MSB of the lowpass cutoff frequency control code; in serial control mode, this pin is the chip select input (active low).

**+INB, -INB (Pins 7, 8):** Channel B Differential Inputs. The input range and input resistance are described in the Applications Information section. Input voltages which exceed  $V_{+IN}$  (Pin 1) should be avoided.

**LPF0 (SCLK) (Pin 9):** TTL Level Input. When in pin programmable control mode, this pin is the LSB of the lowpass cutoff frequency control code; in serial control mode, this pin is the clock of the serial interface.

**SDI (Pin 10):** TTL Level Input. When in pin programmable control mode, this pin is left floating; in serial control mode, this pin is the serial data input.

**SDO (Pin 11):** TTL Level Input. When in pin programmable control mode, this pin is left floating; in serial control mode, this pin is the serial data output.

**-OUTB, +OUTB (Pins 12, 13):** Channel B Differential Filter Outputs. These pins can drive 1k and/or 50pF loads. For larger capacitive loads, an external 100 $\Omega$  series resistor is recommended for each output. The common mode voltage of the filter outputs is the same as the voltage at  $V_{OCM}$  (Pin 3).

**GND (Pin 14):** Ground. Should be tied to a ground plane for best performance.

**CLKIO (Pin 15):** When CLKCNTL (Pin 5) is tied to ground, CLKIO is the master clock input. When CLKCNTL is floated, CLKIO is pulled to ground by a weak pulldown. When CLKCNTL is tied to  $V_{+D}$  (Pin 16), CLKIO is the master clock output. When configured as a clock output, this pin can drive 1k and/or 5pF loads (heavier loads will cause inaccuracies).

**$V_{+D}$  (Pin 16):** Digital Voltage Supply ( $2.7V \leq V \leq 3.6V$ ). This supply must be kept free from noise and ripple. It should be bypassed directly to a ground plane with a 0.1 $\mu$ F capacitor. The bypass should be as close as possible to the IC.

**$\overline{\text{SER}}$  (Pin 17):** Interface Selection Input. When tied to  $V_{+D}$  (Pin 16) or floated, the interface is in pin programmable control mode, i.e. the filter gain and cutoff frequencies are programmed by the GAIN1, GAIN0, LPF1 and LPF0 pins. When  $\overline{\text{SER}}$  is tied to ground, the filter gain, the filter cutoff frequency and shutdown mode are programmed by the serial interface.

**-OUTA, +OUTA (Pins 18, 19):** Channel A Differential Filter Outputs. These pins can drive 1k and/or 50pF loads. For larger capacitive loads, an external 100 $\Omega$  series resistor is recommended for each output. The common mode voltage of the filter outputs is the same as the voltage at  $V_{OCM}$  (Pin 3).

**CAP (Pin 20):** Connect a 0.1 $\mu$ F bypass capacitor to this pin. Pin 20 is a buffered version of Pin 3.

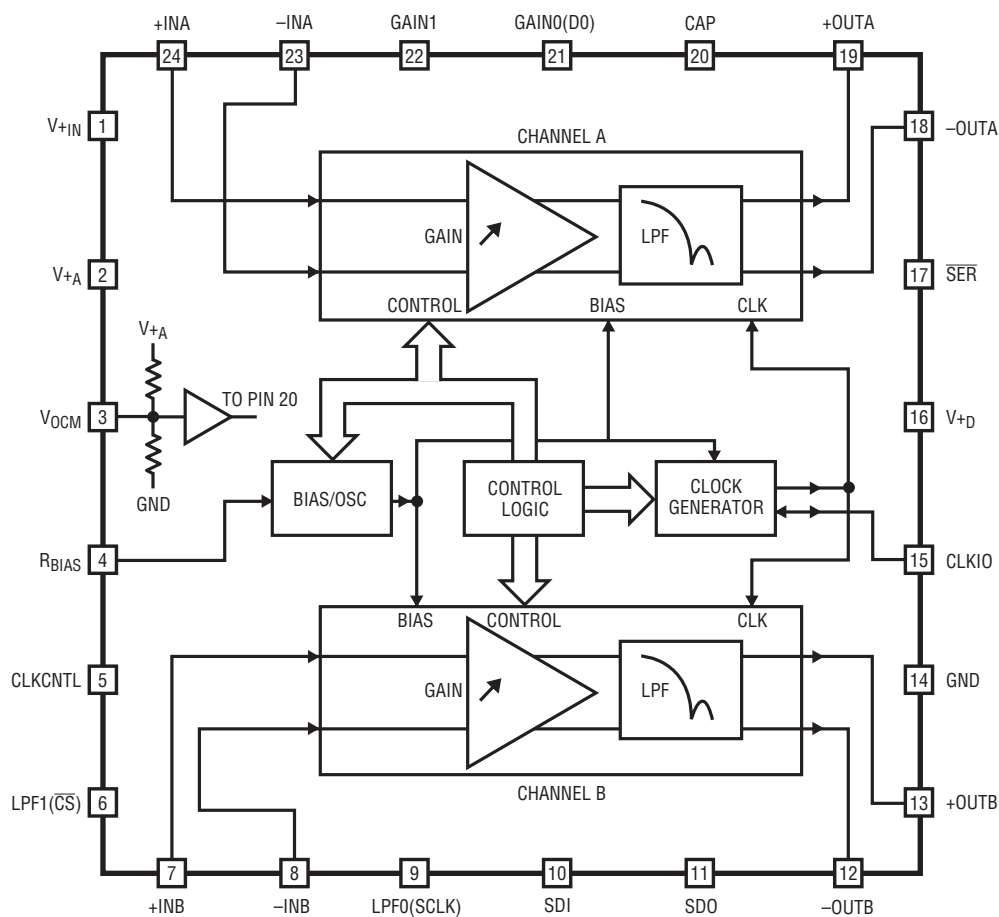
**GAIN0(D0) (Pin 21):** TTL Level Input. When in pin programmable control mode, this pin is the LSB of the gain control code; in serial control mode, this pin is the LSB of the serial control register, an output.

**GAIN1 (Pin 22):** TTL Level Input. When in pin programmable control mode, this pin is the MSB of the gain control code; in serial control mode, this pin is a no-connect.

**-INA, +INA (Pins 23, 24):** Channel A Differential Inputs. The input range and input resistance are described in the Applications Information section. Input voltages which exceed  $V_{+IN}$  (Pin 1) should be avoided.

**Exposed Pad (Pin 25):** Ground. The Exposed Pad must be soldered to PCB.

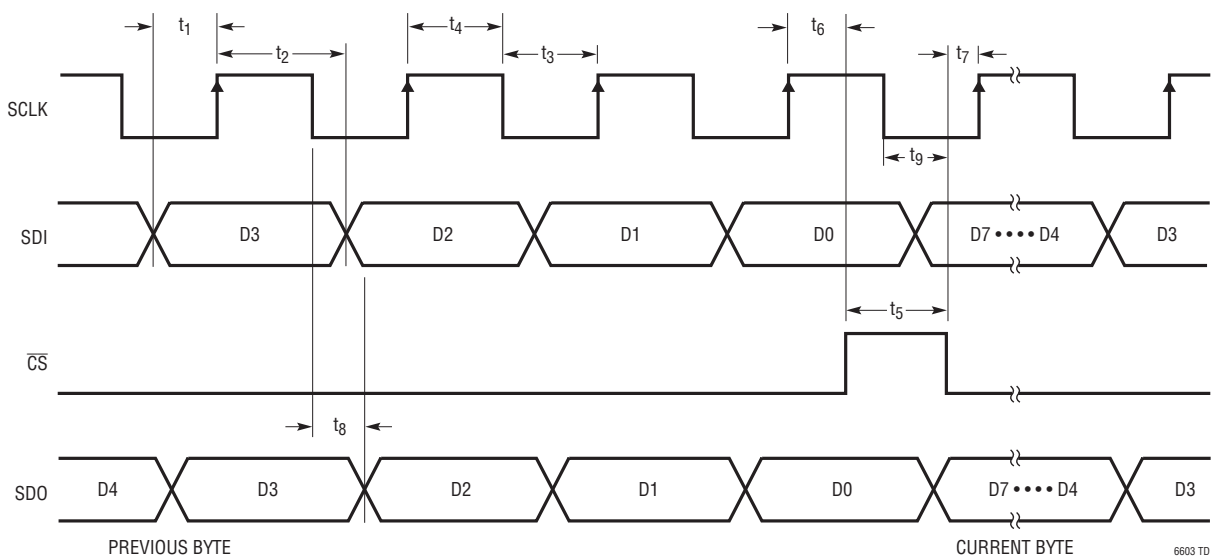
BLOCK DIAGRAM



6603 BD

TIMING DIAGRAM

Timing Diagram of the Serial Interface



6603 TD

6603fa



## APPLICATIONS INFORMATION

### Theory of Operation (Refer to Block Diagram)

The LTC6603 features two matched filter channels, each containing gain control and lowpass filter networks that are controlled by a single control block and clocked by a single clock generator. The gain and cutoff frequency can be separately programmed. The two channels are not independent, i.e. if the gain is set to 24dB then both channels have a gain of 24dB. The filter can be clocked with an external clock source, or using the internal oscillator. A resistor connected to the  $R_{BIAS}$  pin sets the bias currents for the filter networks and the internal oscillator frequency (unless driven by an external clock). Altering the clock frequency changes the filter bandwidth. This allows the filters to be “tuned” to many different bandwidths.

### Pin Programmable Interface

As shown in Figure 1, connecting  $\overline{SER}$  to  $V_{+D}$  allows the filter to be directly controlled through the pin programmable control lines GAIN1, GAIN0, LPF1 and LPF0. The GAIN0(D0) pin is bidirectional (input in pin programmable control mode, output in serial mode). In pin programmable control mode, the voltage at GAIN0(D0) cannot exceed  $V_{+D}$ ; otherwise, large currents can be injected to  $V_{+D}$  through the parasitic diodes (see Figure 2). Connecting a 10k resistor at the GAIN0(D0) pin (see Figure 1) is recommended for current limiting, to less than 10mA.  $\overline{SER}$  has an internal

pull-up to  $V_{+D}$ . None of the logic inputs have an internal pull-up or pull-down.

### Serial Interface

Connecting  $\overline{SER}$  to ground allows the filter to be controlled through the SPI serial interface. When  $\overline{CS}$  is low, the serial data on SDI is shifted into an 8-bit shift register on the rising edge of the clock (SCLK), with the MSB transferred first (see Figure 3). Serial data on SDO is shifted out on the clock's falling edge. A high  $\overline{CS}$  will load the 8 bits of the shift register into an 8-bit D-latch, which is the serial control register. The clock is disabled internally when  $\overline{CS}$  is pulled high. Note: SCLK must be low before  $\overline{CS}$  is pulled low to avoid an extra internal clock pulse. SDO is always active in serial mode (never tri-stated) and cannot be “wire-ORed” to other SPI outputs. In addition, SDO is not forced to zero when  $\overline{CS}$  is pulled high.

An LTC6603 may be daisy-chained with other LTC6603s or other devices having serial interfaces. Daisy chaining is accomplished by connecting the SDO of the lead chip to the SDI of the next chip, while SCLK and  $\overline{CS}$  remain common to all chips in the daisy chain. The serial data is clocked to all the chips then the  $\overline{CS}$  signal is pulled high to update all of them simultaneously. Figure 4 shows an example of two LTC6603s in a daisy-chained SPI configuration.

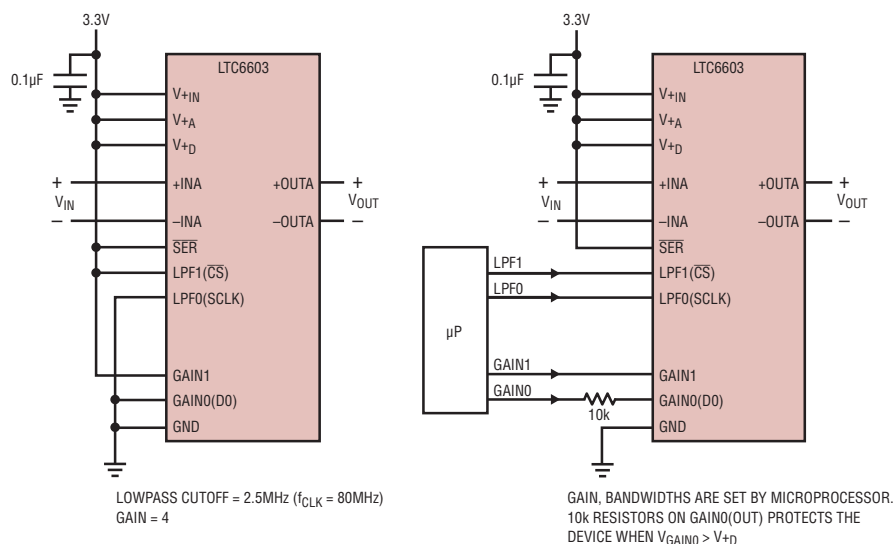


Figure 1. Filter in Pin Programmable Control Mode



## APPLICATIONS INFORMATION

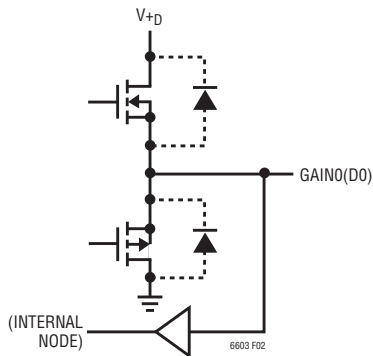


Figure 2. Bidirectional Design of GAIN0(OUT) Pin

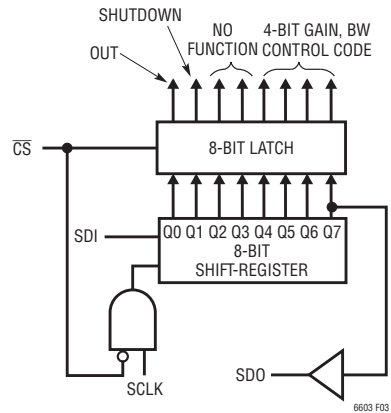


Figure 3. Diagram of Serial Interface (MSB First Out)

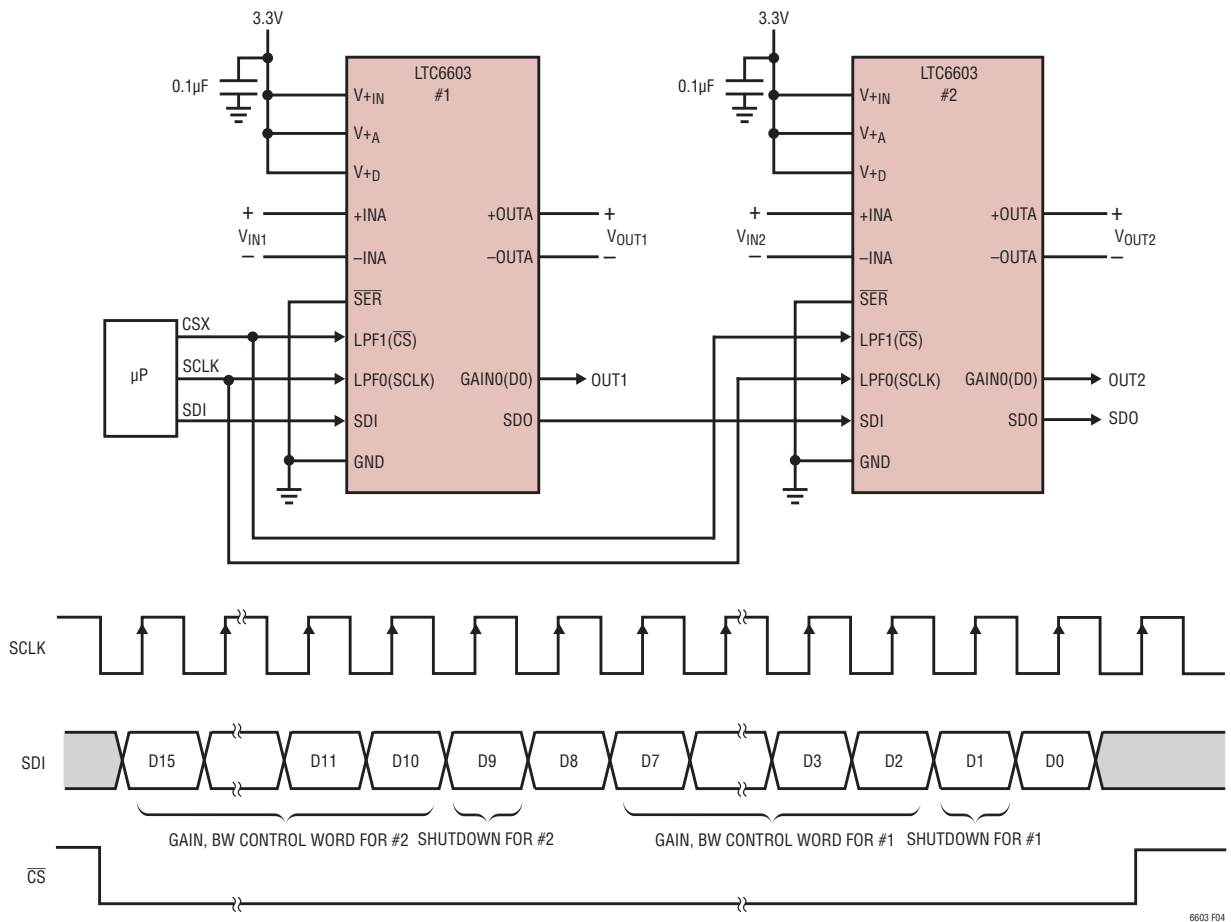


Figure 4. Two Devices in a Daisy Chain

### Serial Control Register Definition

D7	D6	D5	D4	D3	D2	D1	D0
GAIN0	GAIN1	LPF0	LPF1	NO FUNCTION	NO FUNCTION	SHDN	OUT

## APPLICATIONS INFORMATION

GAIN1 and GAIN0 are the gain control bits (register bits D6 and D7 when in serial mode). Their function is shown in Table 1. In serial mode, register bit D1 can be set to 1 to put the device into a low power shutdown mode. Register bit D0 is a general purpose output (Pin 21) when in serial mode.

**Table 1. Gain Control**

GAIN 1	GAIN 0	PASSBAND GAIN (dB)
0	0	0
0	1	6
1	0	12
1	1	24

### Self-Clocking Operation

The LTC6603 features a unique internal oscillator which sets the filter cutoff frequency using a single external resistor connected to the  $R_{BIAS}$  pin. The clock frequency is determined by the following simple formula (see Figure 5):

$$f_{CLK} = 247.2\text{MHz} \cdot 10\text{k}/R_{BIAS}$$

Note:  $R_{BIAS} \leq 200\text{k}$

The design is optimized for  $V_{+A}$ ,  $V_{+D} = 3\text{V}$ ,  $f_{CLK} = 45\text{MHz}$ , where the filter cutoff frequency error is typically <3% when a 0.1% external 54.9k resistor is used (any resistor ( $R_{BIAS}$ ) tolerance, will shift the clock frequency). With different resistor values and cutoff frequency control settings (LPF1 and LPF0), the lowpass cutoff frequency can

be accurately varied from 24.14kHz to 2.5MHz. Table 2 summarizes the cutoff frequencies that can be obtained with an external resistor ( $R_{BIAS}$ ) value of 30.9k. Note that the cutoff frequencies scale with the clock frequency. For example, if LPF1 and LPF0 are both equal to zero, and  $R_{BIAS}$  is increased from 30.9k to 200k,  $f_{CLK}$  will decrease from 80MHz to 12.36MHz and the cutoff frequency will be reduced from 156.25kHz to 24.14kHz. The cutoff frequencies that can be obtained with external resistor values of 54.9k and 200k are shown in Table 3 and Table 4, respectively. When the LTC6603 is programmed for the cutoff frequencies lower than the maximum, the power is automatically reduced. The power savings at the middle bandwidth setting (LPF1 = 0, LPF0 = 1), is about 23%, while the power savings at the lowest bandwidth setting (LPF1 = 0, LPF0 = 0) is about 60%.

**Table 2. Cutoff Frequency Control,  $R_{BIAS} = 30.9\text{k}$ ,  $f_{CLK} = 80\text{MHz}$**

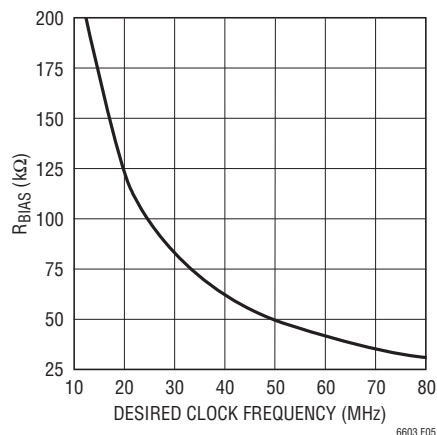
LPF1	LPF0	LOWPASS BW(kHz)
0	0	156.25
0	1	625
1	0	2500
1	1	2500

**Table 3. Cutoff Frequency Control,  $R_{BIAS} = 54.9\text{k}$ ,  $f_{CLK} = 45\text{MHz}$**

LPF1	LPF0	LOWPASS BW(kHz)
0	0	87.94
0	1	351.78
1	0	1407
1	1	1407

**Table 4. Cutoff Frequency Control,  $R_{BIAS} = 200\text{k}$ ,  $f_{CLK} = 12.36\text{MHz}$**

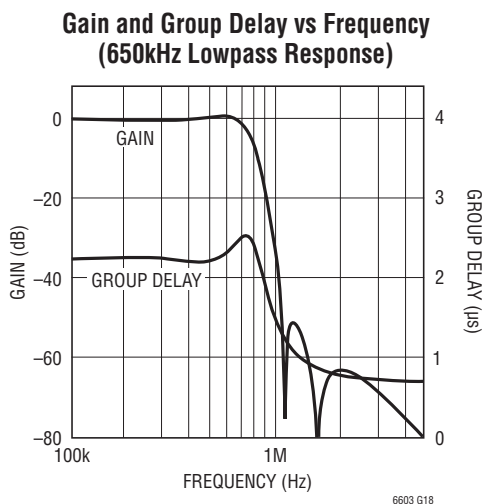
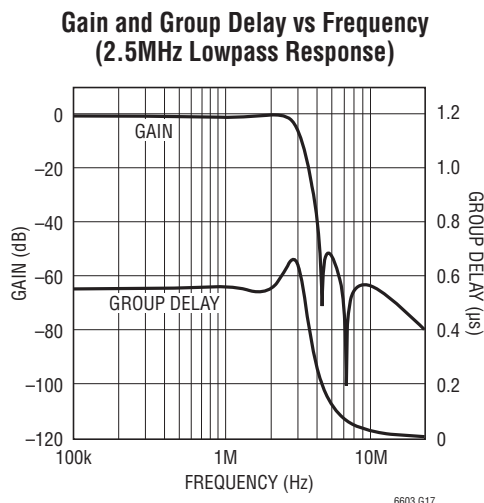
LPF1	LPF0	LOWPASS BW(kHz)
0	0	24.14
0	1	96.56
1	0	386.25
1	1	386.25



**Figure 5.  $R_{BIAS}$  vs Desired Clock Frequency**

## APPLICATIONS INFORMATION

The following graphs show a few of the possible lowpass filters.



The oscillator is sensitive to transients on the positive supply. The IC should be soldered to the PCB and the PCB layout should include a 0.1μF ceramic capacitor between V<sub>+</sub>A (Pin 2) and ground, as close as possible to the IC to minimize inductance. The PCB layout should also include an additional 0.1μF ceramic capacitor between V<sub>+</sub>D (Pin 16) and ground. Avoid parasitic capacitance on R<sub>BIAS</sub> (Pin 4) and avoid routing noisy signals near R<sub>BIAS</sub>. Use a ground plane connected to Pin 14 and the Exposed Pad (Pin 25).

### Alternative Methods of Setting the Clock Frequency of the LTC6603

The oscillator may be programmed by any method that sinks a current out of the R<sub>BIAS</sub> pin. The circuit in Figure 6 sets the clock frequency by using a programmable current source and in the expression for f<sub>CLK</sub>, the resistor R<sub>BIAS</sub> is replaced by the ratio of 1.17V/I<sub>CONTROL</sub>. Because the voltage of the R<sub>BIAS</sub> pin is approximately 1.17V ±5%, the Figure 6 circuit is less accurate than if a resistor controls the clock frequency.

In this circuit, the LTC2621 (a 12-bit DAC) is daisy-chained with the LTC6603. Because the sinking current from the R<sub>BIAS</sub> pin is:

$$\frac{V_{RBIAS} \cdot k}{2^N \cdot R1}$$

the equivalent R<sub>BIAS</sub> is:

$$\frac{2^N \cdot R1}{k}$$

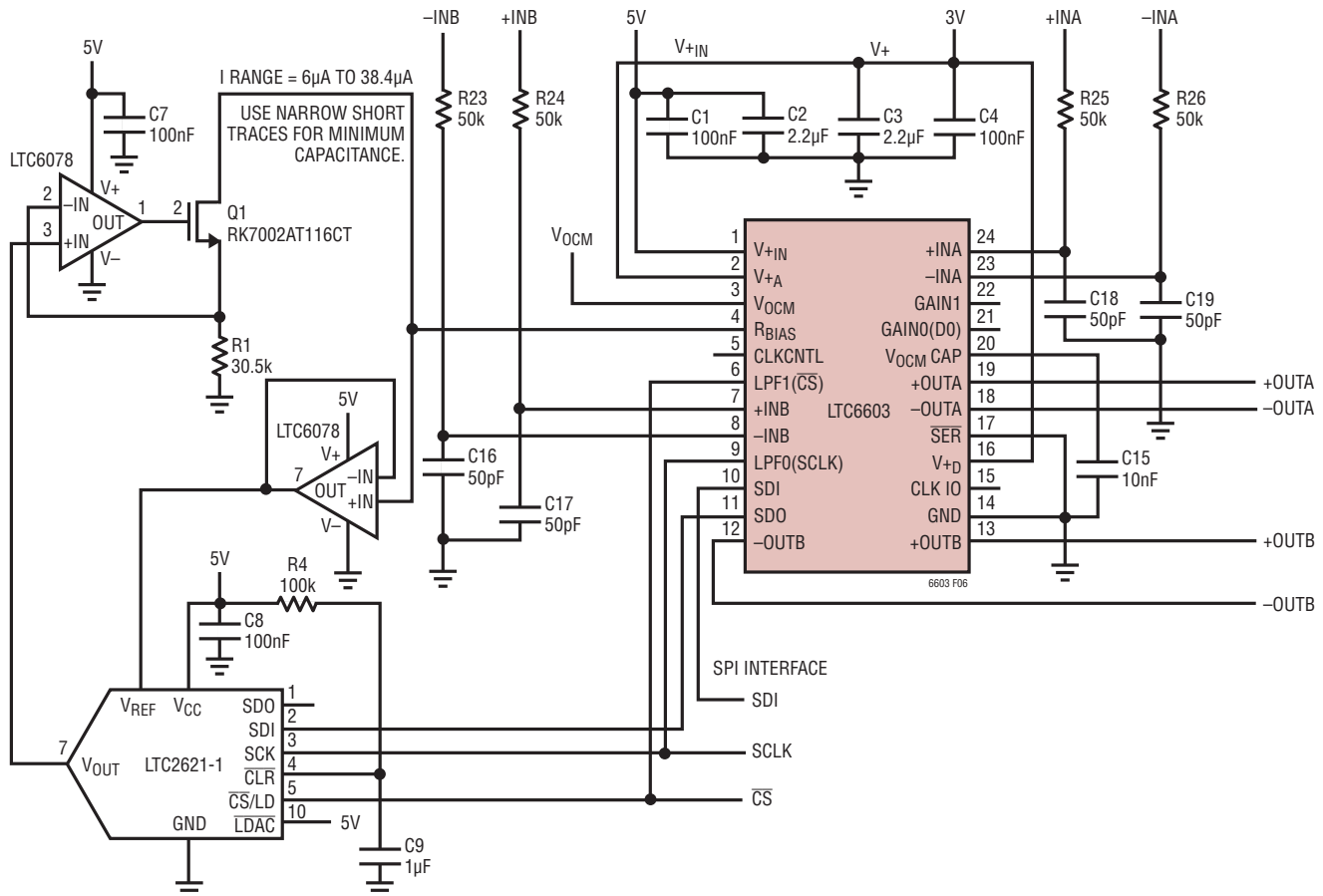
where k is the binary DAC input code and N is the resolution. Figure 7 shows some of the frequency responses that can be obtained using this circuit.

Figure 8 shows the LTC6603's oscillator configured as a VCO. A voltage source is connected in series with the R<sub>BIAS</sub> resistor. The clock frequency, f<sub>CLK</sub>, will vary with V<sub>CONTROL</sub>. Again, this circuit decouples the relationship between the current out of the R<sub>BIAS</sub> pin and the voltage of the R<sub>BIAS</sub> pin; the frequency accuracy will be degraded. The clock frequency, however, will increase monotonically with decreasing V<sub>CONTROL</sub>.

### Operation Using an External Clock

The LTC6603 may be clocked by an external oscillator for tighter bandwidth control by pulling CLKNTL (Pin 5) to ground and driving a clock into CLKIO (Pin 15). If an external clock is used, the R<sub>BIAS</sub> resistor is still necessary. The value of R<sub>BIAS</sub> must be no larger than the value that would be required for using the internal oscillator. For example, a 100k resistor would program the internal oscillator for 24.705MHz, so an external oscillator frequency of 24.705MHz would require an R<sub>BIAS</sub> resistance of no more

## APPLICATIONS INFORMATION



CLR LOW WILL SET DAC TO MID-SCALE (WITH A LTC6603-1 VERSION). HAS ~100ms TC AT START-UP TO RESET TO ZERO-SCALE.

## DATA FORMAT

DATA IS SHIFTED FROM MOSI (MASTER OUT, SLAVE IN) THRU LTC6603 INTO THE LTC2621. THE TOTAL PACKET IS 32 BITS. IT STARTS WITH A CONTROL BYTE (0011 XXXX) THEN MSB OF THE DAC, WITH DUMMY BITS AT THE END, 16 BITS (24 BITS TOTAL). THEN 8 BITS TO THE FILTER. D6 AND D7 = GAIN, D4 AND D5 = LPF, D1 = SHDN. D0 = GEN. PURPOSE OUTPUT.

Figure 6. Current Controlled Clock Frequency

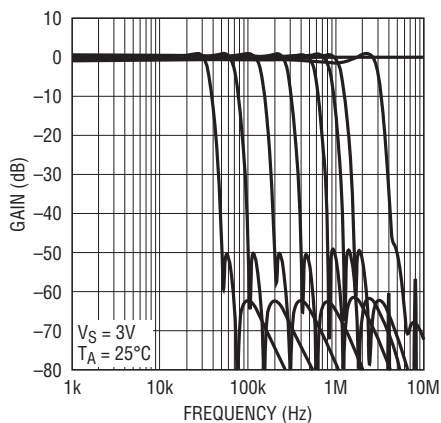
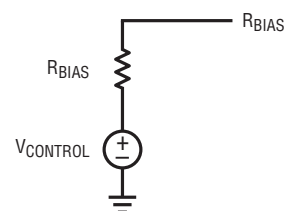


Figure 7. Frequency Response Controlled by LTC2621-1



$$f_{CLK} = 247.2MHz \cdot (10k/R_{BIAS}) \cdot (1 - V_{CONTROL}/1.17V)$$

Figure 8. Voltage Controlled Clock Frequency

## APPLICATIONS INFORMATION

than 100k. If the value of  $R_{BIAS}$  is too large, the filters will not receive a large enough bias current, possibly causing errors due to insufficient settling. Be sure to obey the absolute maximum specifications when driving a clock into CLKIO (Pin 15).

### Input Common Mode and Differential Voltage Range

The input signal range extends from zero to the  $V_{+IN}$  supply voltage. This input supply can be tied to  $V_{+A}$  and  $V_{+D}$ , or driven up to 5.5V for increased input signal range. Figure 9 shows the distortion of the filter versus common mode input voltage with a 2V<sub>P-P</sub> differential input signal ( $V_{+IN} = 5V$ ).

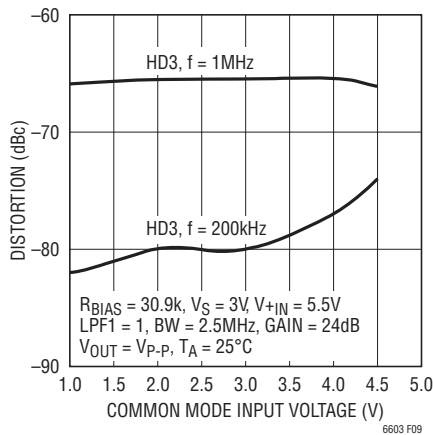


Figure 9. Distortion vs Common Mode Input Voltage (5V)

For best performance, the inputs should be driven differentially. For single-ended signals, connect the unused input to  $V_{OCM}$  (Pin 3) or to a quiet DC reference voltage. To achieve the best distortion performance, the input signal should be centered around the DC voltage of the unused input.

Refer to the Typical Performance Characteristics section to estimate the distortion for a given input level.

### Dynamic Input Impedance

The unique input sampling structure of the LTC6603 has a dynamic input impedance which depends on the configuration and the clock frequency. This dynamic input impedance has both a differential component and a common mode component. The common mode input impedance is a function of the clock frequency and the

control bits LPF1 and LPF0. The differential input impedance is a function of the clock frequency and the control bits LPF1, LPF0, GAIN1 and GAIN0. Table 5 shows the typical input impedances for a clock frequency of 80MHz. These input impedances are all proportional to  $1/f_{CLK}$ , so if the clock frequency were reduced by half to 40MHz, the impedances would be doubled. The typical variation in dynamic input impedance for a given clock frequency is -20% to +35%.

Table 5. Differential, Common Mode Input Impedances,  $f_{CLK} = 80MHz$

GAIN1	GAIN0	LPF1	LPF0	DIFFERENTIAL INPUT IMPEDANCE (k $\Omega$ )	COMMON MODE INPUT IMPEDANCE (k $\Omega$ )
0	0	0	0	38	40
0	0	0	1	16	20
0	0	1	0	2.5	5
0	0	1	1	2.5	5
0	1	0	0	20	40
0	1	0	1	9.5	20
0	1	1	0	2.5	5
0	1	1	1	2.5	5
1	0	0	0	10	40
1	0	0	1	5.4	20
1	0	1	0	1.9	5
1	0	1	1	1.9	5
1	1	0	0	5.2	40
1	1	0	1	2.8	20
1	1	1	0	1.6	5
1	1	1	1	1.6	5

### Output Common Mode and Differential Voltage Range

The output voltage is a fully differential signal with a common mode level equal to the voltage at  $V_{OCM}$ . Any of the filter outputs may be used as single-ended outputs, although this will degrade the performance. The output voltage range is typically 0.5V to  $V_{+A} - 0.5V$  ( $V_{+A} = 2.7V$  to 3.6V).

The common mode output voltage can be adjusted by overdriving the voltage present on  $V_{OCM}$ . To maximize the undistorted peak-to-peak signal swing of the filter, the  $V_{OCM}$  voltage should be set to  $V_{+A}/2$ . Note that the output common mode voltages of the two channels are

## APPLICATIONS INFORMATION

not independent as they are both set by the  $V_{OCM}$  pin. Figure 10 illustrates the distortion versus output common mode voltage for a  $2V_{P-P}$  differential input voltage and a common mode input voltage that is equal to mid-supply.

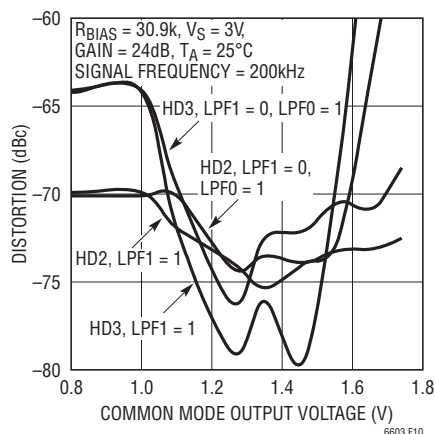


Figure 10. Distortion vs Common Mode Output Voltage

### Interfacing to the LTC6603

The input and output common mode voltages of the LTC6603 are independent. The input common mode voltage is set by the signal source if DC-coupled, as shown in Figure 11. If the inputs are AC-coupled, as shown in Figure 12 (Circuit A), the input common mode voltage will be pulled to ground by an equivalent resistance of  $R_{CM}$ , shown in Table 5. This does not affect the filter's performance as long as the input amplitude is less than  $0.5V_{P-P}$ . At low filter gain settings, a larger input voltage swing may be desired.

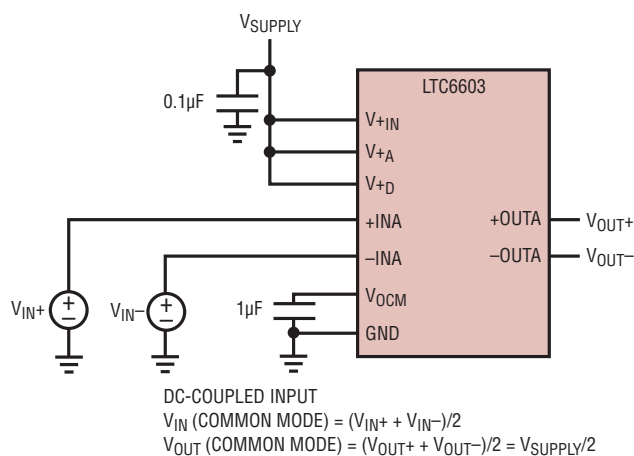


Figure 11. DC-Coupled Inputs

Connecting resistors between each input and  $V_{+IN}$  will pull the input common mode voltage up, increasing the input signal swing. The resistance,  $R_{PULL-UP}$ , necessary to set the input common mode voltage,  $V_{ICM}$ , to any desired level can be calculated by

$$R_{PULL-UP} = R_{CM} \left( \frac{V_{SUPPLY}}{V_{ICM}} - 1 \right)$$

where

$$R_{CM} = 40k \cdot 80MHz / f_{CLK} \text{ for LPF1=0, LPF0=0}$$

$$R_{CM} = 20k \cdot 80MHz / f_{CLK} \text{ for LPF1=0, LPF0=1}$$

$$R_{CM} = 5k \cdot 80MHz / f_{CLK} \text{ for LPF1=1}$$

For example, if the lowpass cutoff frequency is set to 2.5MHz, 5k resistors connected between each input and  $V_{+IN}$  will set the input common mode voltage to mid-supply.

Circuit A of Figure 12 is for a fixed CLK and LPF0, LPF1 setting. If the clock varies or the LPF0, LPF1 setting changes then Circuit B of Figure 12 should be used.

Due to the sampled data nature of the filter, an anti-aliasing filter at the inputs is recommended.

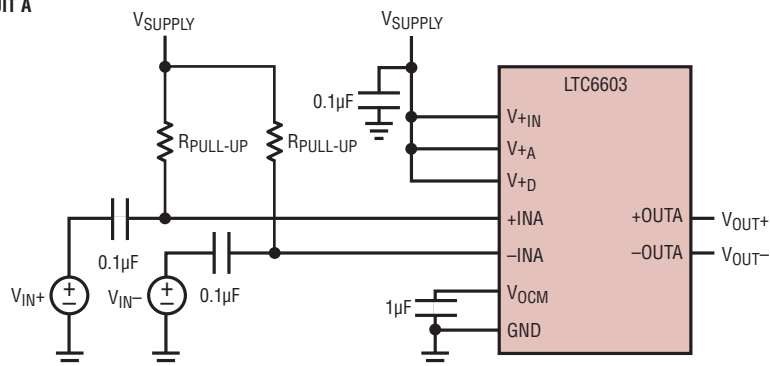
The output common mode voltage is equal to the voltage of the  $V_{OCM}$  pin. The  $V_{OCM}$  pin is biased to one-half of the supply voltage by an internal resistive divider (see Block Diagram). To alter the common mode output voltage,  $V_{OCM}$  can be driven with an external voltage source or resistor network. If external resistors are used, it is important to note that the internal 2k resistors can vary  $\pm 30\%$  (their ratio varies only  $\pm 1\%$ ). The filter outputs can also be AC-coupled.

The LTC6603 can be interfaced to an A/D converter by pulling CLKCNTL (Pin 5) to  $V_{+D}$ . This configures CLKIO (Pin 15) as a clock output, which can be used to drive the clock input of the A/D converter. This allows the A/D converter to be synchronized with the filter sampling clock, avoiding "beat frequencies" and simplifying the board layout. Any routing attached to the CLKIO pin should be as short as possible, in order to minimize reflections.

Similarly, the LTC6603 can be interfaced to another LTC6603 in a master/slave configuration as shown in Figure 13. This

## APPLICATIONS INFORMATION

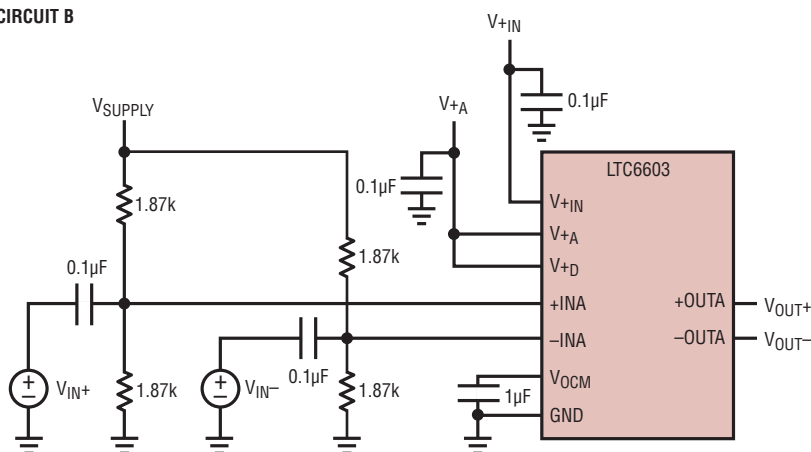
CIRCUIT A



AC-COUPLED INPUT

$$V_{IN} \text{ (COMMON MODE)} = V_{OUT} \text{ (COMMON MODE)} = V_{SUPPLY}/2$$

CIRCUIT B

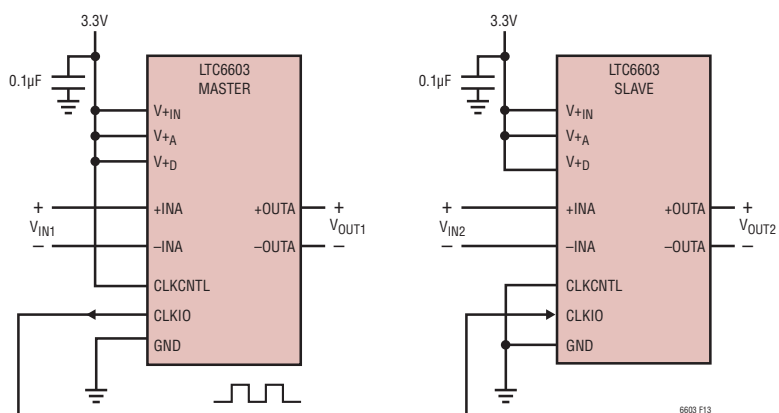


AC-COUPLED INPUT

$$V_{IN} \text{ (COMMON MODE)} = \frac{R_{CM} \cdot V_{+IN}}{2 \cdot R_{CM} + 1.87k}$$

6603 F12

Figure 12. AC-Coupled Inputs



6603 F13

Figure 13. Two Devices in a Master/Slave Clocking Configuration



## APPLICATIONS INFORMATION

results in four matched filter channels, all synchronized to the same clock. The master has its CLKCNTL pin pulled to  $V_{+D}$ , configuring its CLKIO pin as an output, while the slave has its CLKCNTL pin pulled to ground, configuring its CLKIO pin as an input. Note that in order to synchronize the two filters, the clock frequency must not be buffered. This requires that the filters be close together on the PC board. If the clock is buffered, the filters would have matching bandwidths, but would not be synchronized.

### Output Drive

The filter outputs can drive 1k and/or 50pF loads connected to AC ground with a 0.5V to 2.5V signal (corresponding to a  $4V_{P-P}$  differential signal). For differential loads (loads connected between +OUTA and –OUTA or +OUTB and –OUTB) the outputs can produce a  $4V_{P-P}$  signal across 2k and/or 25pF. For smaller signal amplitudes, the outputs can drive correspondingly larger loads. For larger capacitive loads, an external 50 $\Omega$  series resistor is recommended for each output.

### Clock Feedthrough

Clock feedthrough is defined as the RMS value of the clock frequency and its harmonics that are present at the filter's output. The clock feedthrough is measured with +INA and –INA (or +INB, –INB) tied to  $V_{OCM}$  and depends on the PC board layout and the power supply decoupling. The clock feedthrough can be reduced with a simple RC post filter.

### Decoupling Capacitors

The LTC6603 uses sampling techniques, therefore its performance is sensitive to supply noise. 0.1 $\mu$ F ceramic decoupling capacitors must be connected from  $V_{+A}$  (Pin 2) and  $V_{+D}$  (Pin 16) to ground with leads as short as possible. A ground plane should be used. Noisy signals should be isolated from the filter's input pins. In addition, a 0.1 $\mu$ F decoupling capacitor at Pin 20 is recommended since this pin receives clocked current injection.

### Aliasing

Aliasing is an inherent phenomenon of sampled data filters. Significant aliasing only occurs when the frequency of the input signal approaches the sampling frequency or

multiples of the sampling frequency. The ratio of the LTC6603 input sampling frequency to the clock frequency,  $f_{CLK}$ , is determined by the state of control bits LPF1 and LPF0. Table 6 shows the possible input sampling frequencies for a clock frequency of 80MHz. The input sampling frequency is proportional to the clock frequency. For example, if the clock frequency is lowered from 80MHz to 40MHz, the input sampling frequency will be lowered by half. Input signals with frequencies near the input sampling frequency will be aliased to the passband of the filter and appear at the output unattenuated.

**Table 6. Input Sampling Frequency ( $f_{CLK} = 80\text{MHz}$ )**

LPF1	LPF0	Input Sampling Frequency (MHz)
0	0	20
0	1	40
1	0	160
1	1	160

A simple LC anti-aliasing filter is recommended at the filter inputs to attenuate frequencies near the input sampling frequency that will be aliased to the passband. For example, if the clock frequency is set to 80MHz and the cutoff frequency of the filter is set to its maximum (LPF1 = 1), the lowest frequency that would be aliased to the passband would be  $f_{CLK} - f_{CUTOFF}$ , i.e.,  $160\text{MHz} - 2.5\text{MHz} = 157.5\text{MHz}$ . The LTC6603 filter inputs should be driven by a low impedance output (<100 $\Omega$ ).

### Wideband Noise

The wideband noise of the filter is the RMS value of the device's output noise spectral density. The wideband noise is nearly independent of the value of the clock frequency and excludes the clock feedthrough. Most of the wideband noise is concentrated in the filter passband and cannot be removed with post filtering.

### Power Supply Current

The power supply current depends on the state of the lowpass cutoff frequency controls (LPF1, LPF0) and the value of  $R_{BIAS}$ . When the LTC6603 is programmed for the middle cutoff frequency (LPF1 = 0, LPF0 = 1), the supply current is reduced by about 23% relative to the supply current for the higher bandwidth setting. Programming



## APPLICATIONS INFORMATION

the LTC6603 for the lowest cutoff frequency (LPF1 = 0, LPF0 = 0) reduces the supply current by about 60%. Power supply current vs. cutoff frequency for various bandwidth settings is shown in the Typical Performance Characteristics section. The LTC6603 can be programmed through the serial interface to enter into a low power shutdown mode. The power supply current during shutdown is less than 235 $\mu$ A.

### Supply Current vs Noise Trade-Off

The passband of the LTC6603 is determined by the master clock frequency (which is set by R<sub>BIAS</sub> when the internal oscillator is used), LPF1 and LPF0. The LTC6603 is optimized for use with R<sub>BIAS</sub> having a value between 200k and 30.9k to set the internal oscillation frequency from 12.36MHz to 80MHz. The lowpass corner frequency is proportional to the clock frequency (internal or external).

To extend the filter's operational frequency range, the master clock is divided down before reaching the filter. LPF1 and LPF0 set the division ratio of the lowpass clock. Figure 14 shows the possible cutoff frequencies versus f<sub>CLK</sub>, LPF1 and LPF0. Overlapping frequency ranges allow more than one possible choice of bandwidth settings for some cutoff frequencies. Figure 15 shows supply current as a function of the filter cutoff frequency, LPF1 and LPF0. Note that the higher bandwidth setting always gives the minimum supply current for a given cutoff frequency. The input referred integrated noise voltage for a passband gain of 24dB is shown in Table 7. Note that the noise is higher for the higher bandwidth settings. This creates a tradeoff between supply current and noise. For a given cutoff frequency, using the highest possible bandwidth setting gives the minimum supply current at the expense of higher noise.

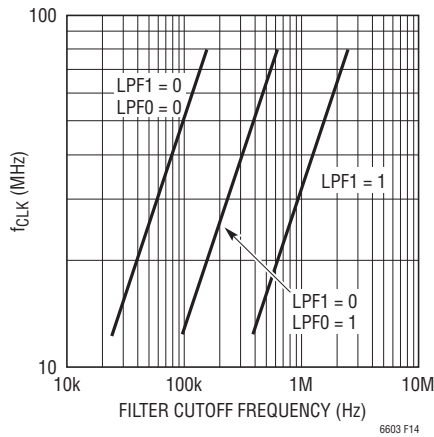


Figure 14. f<sub>CLK</sub> vs Filter Cutoff Frequencies

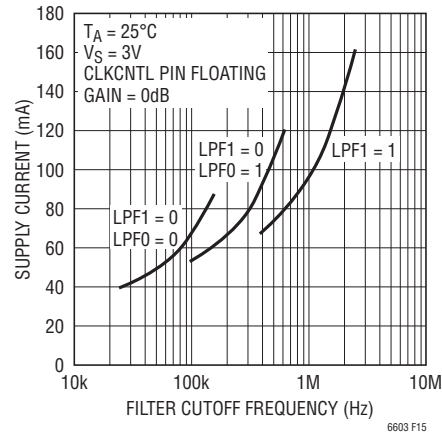


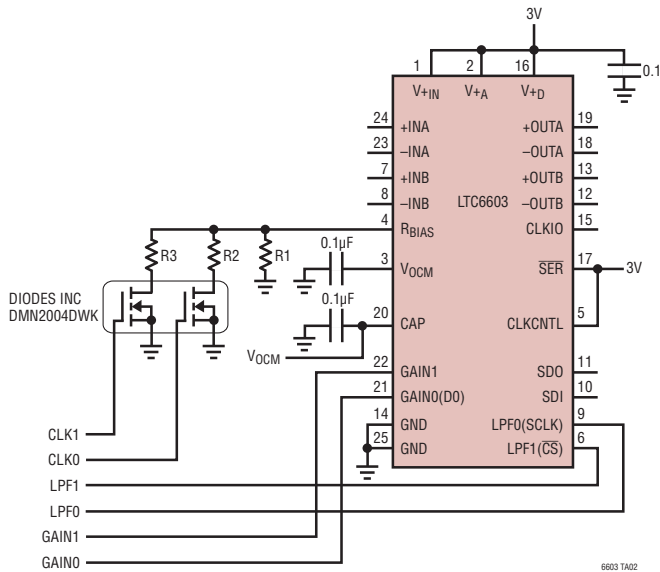
Figure 15. Supply Current vs Filter Cutoff Frequency

Table 7. Total Input Referred Integrated Noise Voltage (Passband Gain = 24dB)

LPF1	LPF0	NOISE VOLTAGE
0	0	-81dBm
0	1	-80dBm
1	X	-76dBm

## TYPICAL APPLICATIONS

## LTC6603 Parallel Clock Control



CLK1	CLK0	
0	0	RBIAS1
0	1	RBIAS2
1	0	RBIAS3
1	1	RBIAS4

$$R_{BIAS1} > R_{BIAS2} \text{ OR } R_{BIAS3}$$

$$R_{BIAS} = \frac{2472}{f_{CLK}}$$

R<sub>BIAS</sub> IN k  
f<sub>CLK</sub> in MHz

$$R1 = R_{BIAS1} \quad R2 = \frac{R_{BIAS1} \cdot R_{BIAS2}}{R_{BIAS1} - R_{BIAS2}}$$

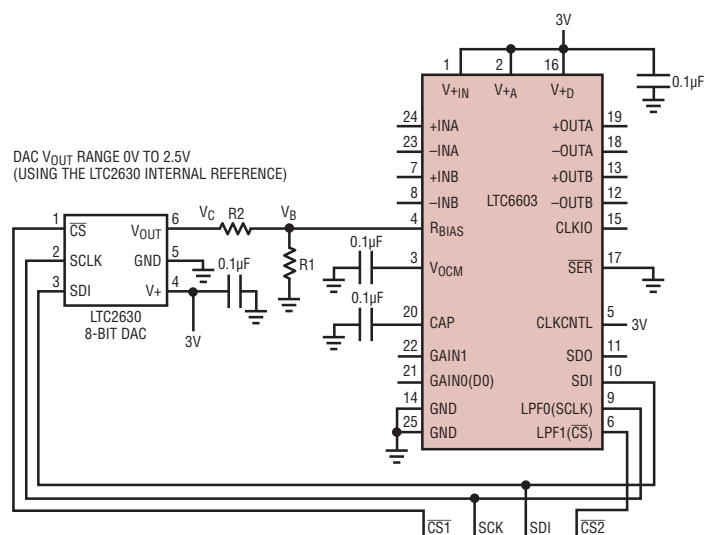
## DESIGN PROCEDURE

1. CHOOSE  $f_{CLK1}$ ,  $f_{CLK2}$  AND  $f_{CLK3}$
2. CALCULATE  $R_{BIAS1}$ ,  $R_{BIAS2}$  AND  $R_{BIAS3}$
3. CALCULATE  $R_2$ ,  $R_3$  AND  $R_{BIAS4}$

$$R3 = \frac{R_{BIAS1} \cdot R_{BIAS3}}{R_{BIAS1} - R_{BIAS3}}$$

$$R_{BIAS4} = \frac{R1 \cdot R2 \cdot R3}{R1 \cdot (R2 + R3) + R2 \cdot R3}$$

## LTC6603 SPI Clock Control



IF  $R1 = 51.1k$  and  $R2 = 78.7k$  THEN  
THE  $f_{CLK}$  RANGE IS 12.36MHz to 80MHz

$$R1 = \frac{5.282 \cdot 10^{12}}{1.137f_{CLKHI} + f_{CLKLO}}, R2 = \frac{5.282 \cdot 10^{12}}{f_{CLKHI} - f_{CLKLO}}$$

$$f_{CLK} = 2.472 \cdot 10^{12} \left( \frac{R1+R2}{R1 \cdot R2} - \frac{V_C}{V_B \cdot R2} \right)$$

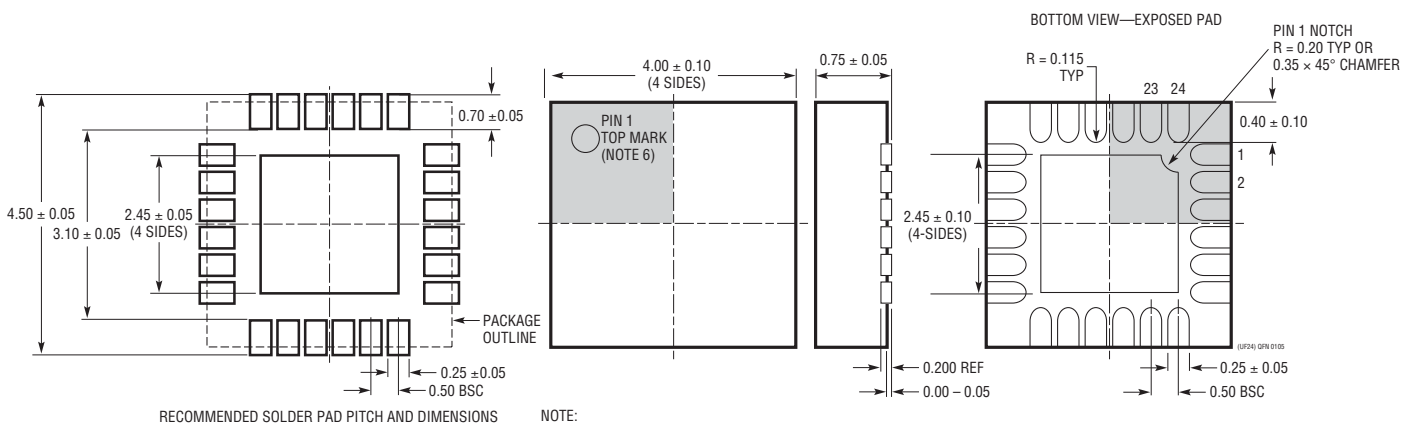
$V_C$  RANGE 0V to 2.5V,  $V_B = 1.17V$   
 IF  $V_C = 0V$  THEN  $f_{CLK} = f_{CLKHI}$   
 IF  $V_C = 2.5V$  THEN  $f_{CLK} = f_{CLKLO}$

## PACKAGE DESCRIPTION

## UF Package

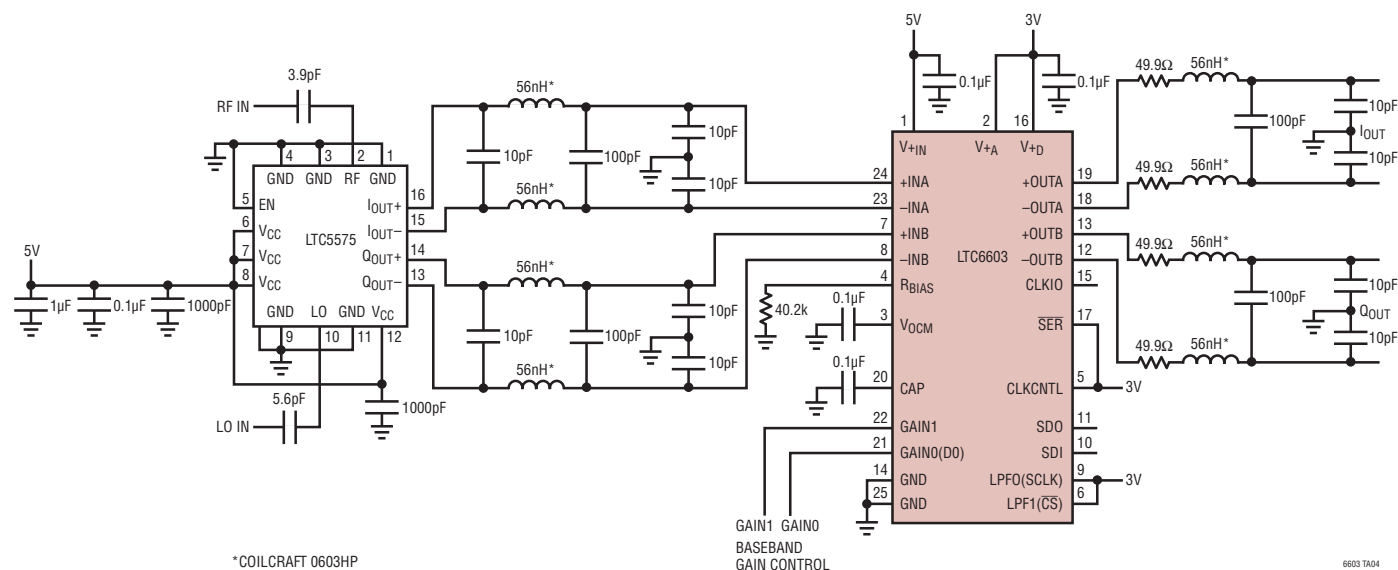
### 24-Lead Plastic QFN (4mm × 4mm)

(Reference LTC DWG # 05-08-1697)



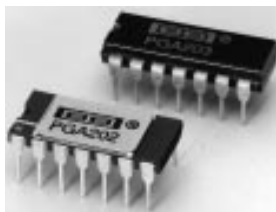
- NOTE:
1. DRAWING PROPOSED TO BE MADE A JEDEC PACKAGE OUTLINE MO-220 VARIATION (WGGD-X)—TO BE APPROVED
  2. DRAWING NOT TO SCALE
  3. ALL DIMENSIONS ARE IN MILLIMETERS
  4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE  
MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE, IF PRESENT
  5. EXPOSED PAD SHALL BE SOLDER PLATED
  6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION  
ON THE TOP AND BOTTOM OF PACKAGE

## TYPICAL APPLICATION

Direct Conversion Demodulator and I and Q Baseband Filter,  $f_{\text{CUTOFF}} = 1.92\text{MHz}$  (UTMS WCDMA)

## RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC®1565-31	650kHz Linear Phase Lowpass Filter	Continuous Time, SO8 Package, Fully Differential
LTC1566-1	Low Noise, 2.3MHz Lowpass Filter	Continuous Time, SO8 Package
LTC1567	Very Low Noise, High Frequency Filter Building Block	1.4nV/ $\sqrt{\text{Hz}}$ Op Amp, MSOP Package, Differential Outputs
LTC1568	Very Low Noise, 4th Order Building Block	Lowpass and Bandpass Filter Designs Up to 10MHz, Differential Outputs
LTC1569-6	Low Power 10-Pole Delay Equalized Elliptic Lowpass	$f_c \leq 64\text{kHz}$ , One Resistor Sets $f_c$ , SO-8 Differential Inputs
LTC1569-7	10-Pole Delay Equalized Elliptic Lowpass	$f_c \leq 256\text{kHz}$ , One Resistor Sets $f_c$ , SO-8 Differential Inputs
LT1994	Low Distortion, Low Noise Differential Amplifier/ADC Driver	Adjustable, Low Power, $V_S = 2.375\text{V}$ to $12.6\text{V}$
LTC6406	3GHz Low Noise, Rail-to-Rail Input Differential ADC Driver	Low Noise: $1.6\text{nV}/\sqrt{\text{Hz}}$ , Low Power: $18\mu\text{A}$
LT6600-2.5	Very Low Noise, Fully Differential Amplifier and 2.5MHz Filter	86dB S/N with 3V Supply, SO-8 Package
LT6600-5	Very Low Noise, Fully Differential Amplifier and 5MHz Filter	82dB S/N with 3V Supply, SO-8 Package
LT6600-10	Very Low Noise, Fully Differential Amplifier and 10MHz Filter	82dB S/N with 3V Supply, SO-8 Package
LT6600-15	Very Low Noise, Fully Differential Amplifier and 15MHz Filter	76dB S/N with 3V Supply, SO-8 Package
LT6600-20	Very Low Noise, Fully Differential Amplifier and 20MHz Filter	76dB S/N with 3V Supply, SO-8 Package
LTC6601	Pin-Configurable Second Order Filter/Driver	$f_c$ 7MHz to 27MHz Fully Differential 4mm $\times$ 4mm QFN Package
LTC6602	Dual Baseband Bandpass Filter for UHF RFID	Fully Differential 4mm $\times$ 4mm QFN Package
LTC6604-2.5	Dual Very Low Noise, Differential Amp and 2.5MHz Filter	86dB S/N with 3V Supply, 4mm $\times$ 7mm QFN Package
LTC6604-5	Dual Very Low Noise, Differential Amp and 5MHz Filter	82dB S/N with 3V Supply, 4mm $\times$ 7mm QFN Package
LTC6604-10	Dual Very Low Noise, Differential Amp and 10MHz Filter	82dB S/N with 3V Supply, 4mm $\times$ 7mm QFN Package
LTC6604-15	Dual Very Low Noise, Differential Amp and 15MHz Filter	76dB S/N with 3V Supply, 4mm $\times$ 7mm QFN Package



**PGA202/203**

## Digitally Controlled Programmable-Gain INSTRUMENTATION AMPLIFIER

### FEATURES

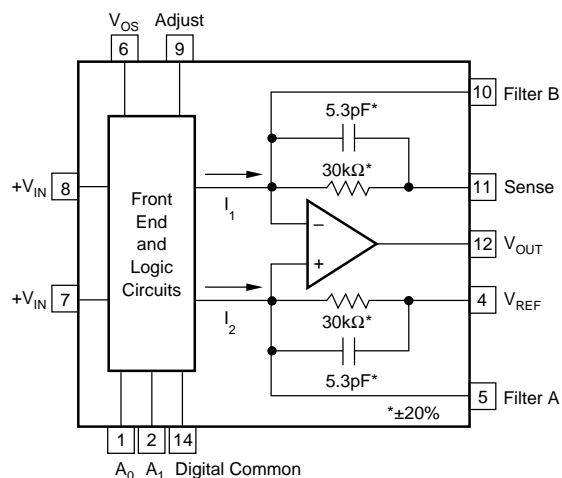
- DIGITALLY PROGRAMMABLE GAINS:  
DECADE MODEL—PGA202  
GAINS OF 1, 10, 100, 1000  
BINARY MODEL—PGA203  
GAINS OF 1, 2, 4, 8
- LOW BIAS CURRENT: 50pA max
- FAST SETTLING: 2 $\mu$ s to 0.01%
- LOW NON-LINEARITY: 0.012% max
- HIGH CMRR: 80dB min
- NEW TRANSCONDUCTANCE CIRCUITRY
- LOW COST

### APPLICATIONS

- DATA ACQUISITION SYSTEMS
- AUTO-RANGING CIRCUITS
- DYNAMIC RANGE EXPANSION
- REMOTE INSTRUMENTATION
- TEST EQUIPMENT

### DESCRIPTION

The PGA202 is a monolithic instrumentation amplifier with digitally controlled gains of 1, 10, 100, and 1000. The PGA203 provides gains of 1, 2, 4, and 8. Both have TTL or CMOS-compatible inputs for easy microprocessor interface. Both have FET inputs and a new transconductance circuitry that keeps the bandwidth nearly constant with gain. Gain and offsets are laser trimmed to allow use without any external components. Both amplifiers are available in ceramic or plastic packages. The ceramic package is specified over the full industrial temperature range while the plastic package covers the commercial range.



Covered by U.S. PATENT #4,883,422

International Airport Industrial Park • Mailing Address: PO Box 11400 • Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd. • Tucson, AZ 85706  
Tel: (520) 746-1111 • Twx: 910-952-1111 • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

# SPECIFICATIONS

## ELECTRICAL

At +25°C,  $V_{CC} = \pm 15V$  unless otherwise noted.

PARAMETER	CONDITION	PGA202/203AG <sup>(1)</sup>			PGA202/203BG <sup>(1)</sup>			PGA202/203KP <sup>(1)</sup>			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
<b>GAIN</b> Error <sup>(2)</sup>	G < 1000		0.05	0.25		*	0.15		*	*	%
	G = 1000		0.1	1		0.08	0.5		*	*	%
Nonlinearity	G < 1000		0.002	0.015		*	0.012		*	*	%
	G = 1000		0.02	0.06		*	0.04		*	*	%
Gain vs Temperature	G < 100		3	25		*	15		*	*	ppm/°C
	G = 100		40	120		*	60		*	*	ppm/°C
	G = 1000		100	300		*	150		*	*	ppm/°C
<b>RATED OUTPUT</b> Voltage Over Specified Temperature Current Impedance	$ I_{OUT}  \leq 5mA$ See Typical Perf. Curve $ V_{OUT}  \leq 10V$	$\pm 10$  $\pm 5$	$\pm 12$  $\pm 10$ 0.5		*	*		*	*		V V mA $\Omega$
<b>ANALOG INPUTS</b> Common-Mode Range Absolute Max Voltage <sup>(3)</sup> Impedance, Differential Common-Mode	No Damage	$\pm 10$	$\pm 13$ 10    3 10    1	$\pm V_{CC}$	*	*	*	*	*	*	V V G $\Omega$    pF G $\Omega$    pF
<b>OFFSET VOLTAGE (RTI)</b> Initial Offset at 25°C <sup>(4)</sup>  vs Temperature  Offset vs Time Offset vs Supply	    10 ≤ $V_{CC} \leq 15$		$\pm(0.5 + 5/G)$ $\pm(3 + 50/G)$ 50 10 + 250/G	$\pm(2 + 24/G)$ $\pm(24 + 240/G)$ 25 100 + 900/G		*	$\pm(1 + 12/G)$ $\pm(12 + 120/G)$ 50 + 450/G		*	*	mV  $\mu V/^\circ C$  $\mu V/Month$ $\mu V/V$
<b>INPUT BIAS CURRENT</b> Initial Bias Current: at 25°C at 85°C Initial Offset Current: at 25°C at 85°C			10 640 5 320	50 3200 25 1600		*	*		*	*	pA pA pA pA
<b>COMMON-MODE REJECTION RATIO</b>	G = 1 G = 10 G = 100 G = 1000	80 86 92 94	100 110 120 120		*	*		*	*		dB dB dB dB
<b>INPUT NOISE</b> Noise Voltage 0.1 to 10Hz Noise Density at 10kHz <sup>(5)</sup>			1.7 12			*			*		$\mu Vp-p$ nV/√Hz
<b>OUTPUT NOISE</b> Noise Voltage 0.1 to 10Hz Density at 1kHz <sup>(5)</sup>			32 400			*			*		$\mu Vp-p$ nV/√Hz
<b>DYNAMIC RESPONSE</b> Frequency Response Full Power Bandwidth Slew Rate Settling Time (0.01%) <sup>(7)</sup> Overload Recovery Time <sup>(7)</sup>	G < 1000 G = 1000 G < 1000 G = 1000  G < 1000 G = 1000 G < 1000 G = 1000	    10	1000 250 400 100 20 2 10 5 10		    15	*		*	*	*	kHz kHz kHz kHz V/μs μs μs μs μs
<b>DIGITAL INPUTS</b> Digital Common Range Input Low Threshold <sup>(6)</sup> Input Low Current Input High Voltage Input High Current		- $V_{CC}$  2.4		$V_{CC} - 8$ 0.8 10 10	*		*	*		*	V V μA V μA
<b>POWER SUPPLY</b> Rated Voltage Voltage Range Quiescent Current		$\pm 6$	$\pm 15$ 6.5	$\pm 18$	*	*	*	*	*	*	V V mA
<b>TEMPERATURE RANGE</b> Specification Operating Storage $\theta_{JA}$		-25 -55 -65		85 125 150	*		*	0 -25 -40		70 85 100	°C °C °C °C/W

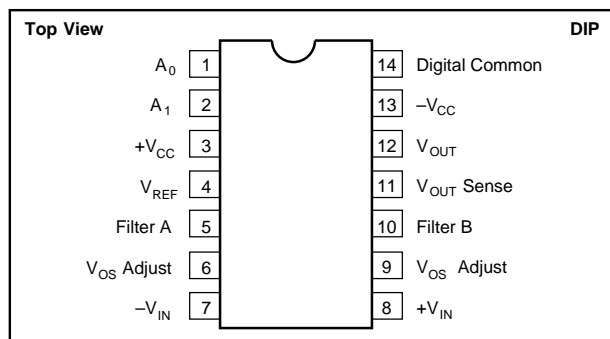
\* Same as the PGA202/203AG

NOTES: (1) All specifications apply to both the PGA202 and the PGA203. Values given for a gain of 10 are the same for a gain of 8 and other values may be interpolated.

(2) Measured with a 10k load. (3) The analog inputs are internally diode clamped. (4) Adjustable to zero. (5)  $V_{NOISE(RTI)} = \sqrt{(V_{N\ INPUT})^2 + (V_{N\ OUTPUT}/Gain)^2}$ .

(6) Threshold voltages are referenced to Digital Common. (7) From input change or gain change.

## PIN CONFIGURATION



## ABSOLUTE MAXIMUM RATINGS

Supply Voltage .....	±18V
Internal Power Dissipation .....	750mW
Analog and Digital Inputs .....	±(V <sub>CC</sub> + 0.5V)
Operating Temperature Range:	
G Package .....	-55°C to +125°C
P Package .....	-40°C to +100°C
Lead Temperature (soldering, 10s) .....	300°C
Output Short Circuit Duration .....	Continuous
Junction Temperature .....	175°C

## PACKAGE INFORMATION

MODEL	PACKAGE	PACKAGE DRAWING NUMBER <sup>(1)</sup>
PGA202KP	14-Pin Plastic DIP	010
PGA202AG	14-Pin Ceramic DIP	169
PGA202BG	14-Pin Ceramic DIP	169
PGA203KP	14-Pin Plastic DIP	010
PGA203AG	14-Pin Ceramic DIP	169
PGA203BG	14-Pin Ceramic DIP	169

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix D of Burr-Brown IC Data Book.

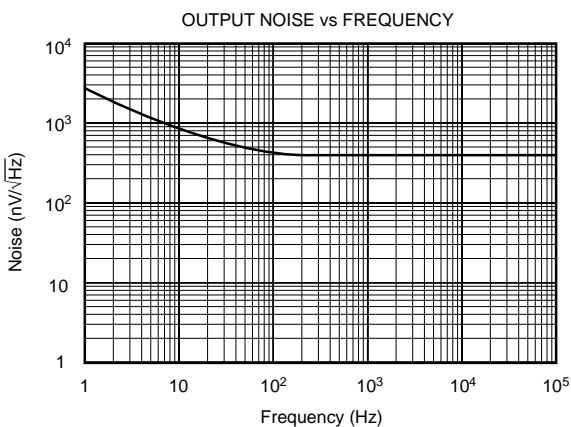
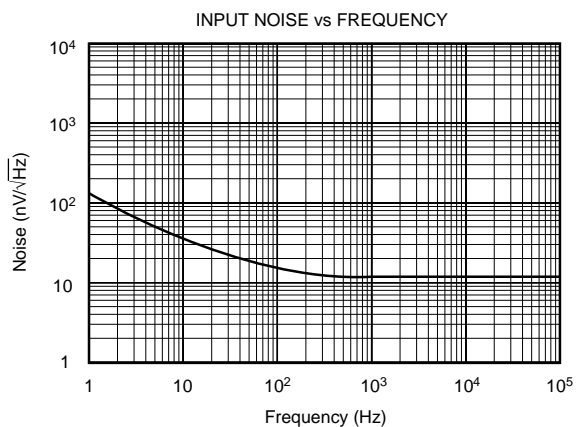
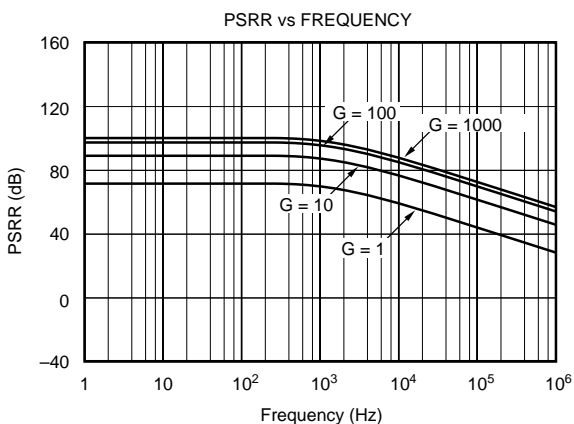
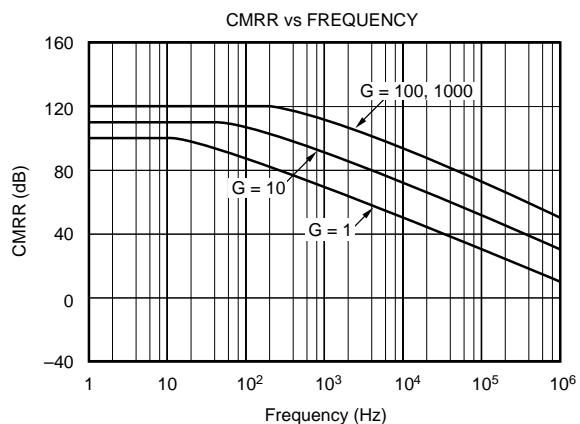
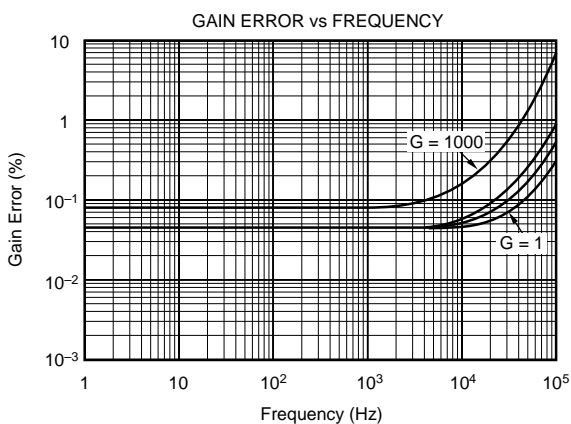
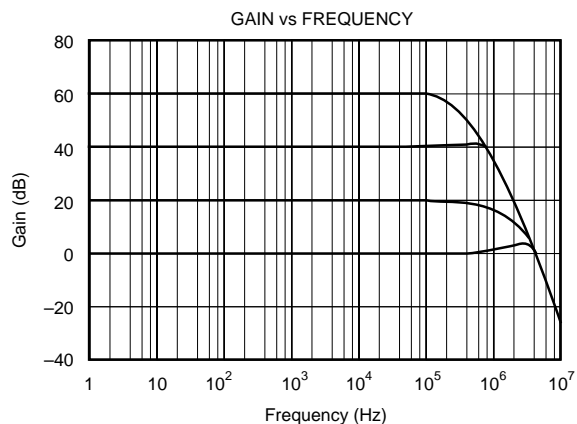
## ORDERING INFORMATION

MODEL	GAINS	PACKAGE	TEMPERATURE RANGE	OFFSET VOLTAGE MAX (mV)
PGA202KP	1, 10, 100, 1000	Plastic DIP	0°C to +70°C	±(2 + 24/G)
PGA202AG	1, 10, 100, 1000	Ceramic DIP	-25°C to +85°C	±(2 + 24/G)
PGA202BG	1, 10, 100, 1000	Ceramic DIP	-25°C to +85°C	±(1 + 12/G)
PGA203KP	1, 2, 4, 8	Plastic DIP	0°C to +70°C	±(2 + 24/G)
PGA203AG	1, 2, 4, 8	Ceramic DIP	-25°C to +85°C	±(2 + 24/G)
PGA203BG	1, 2, 4, 8	Ceramic DIP	-25°C to +85°C	±(1 + 12/G)

The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

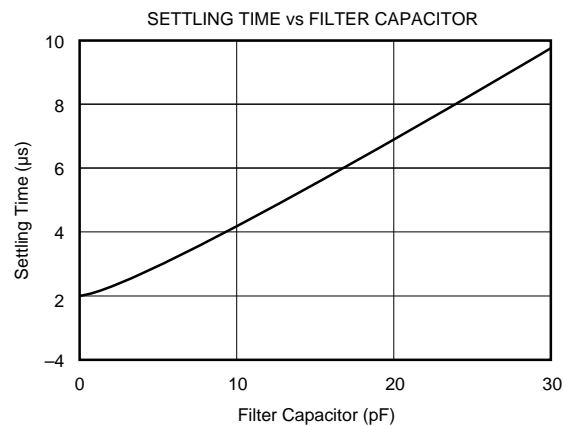
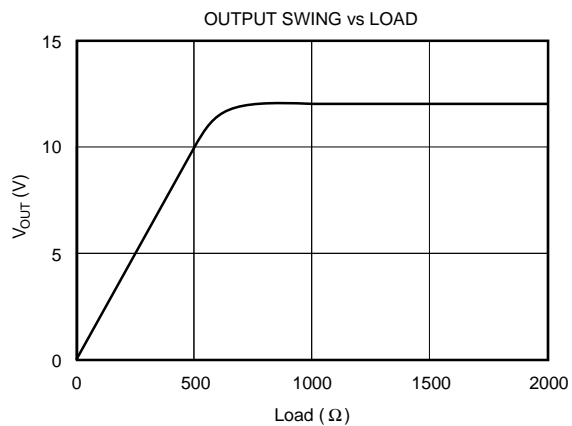
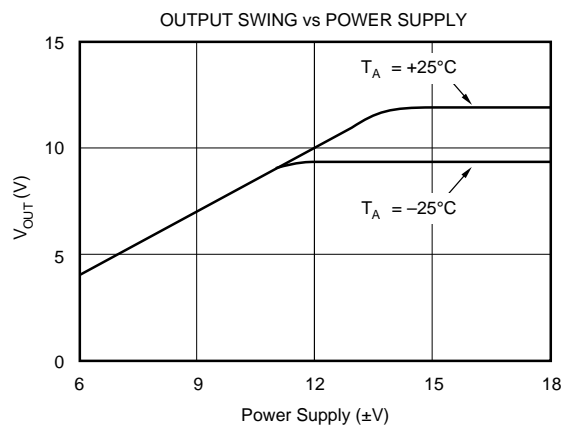
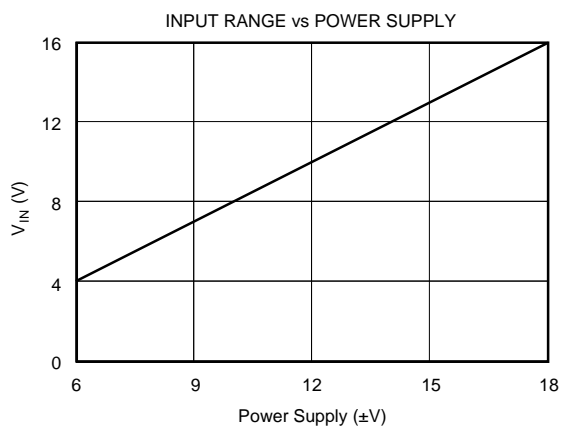
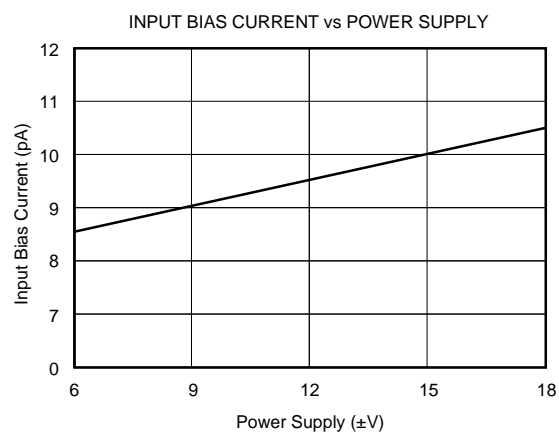
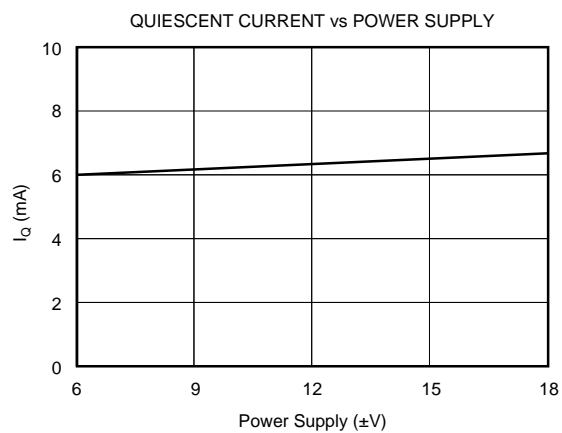
# TYPICAL PERFORMANCE CURVES

$T_A = +25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$  unless otherwise noted.



# TYPICAL PERFORMANCE CURVES (CONT)

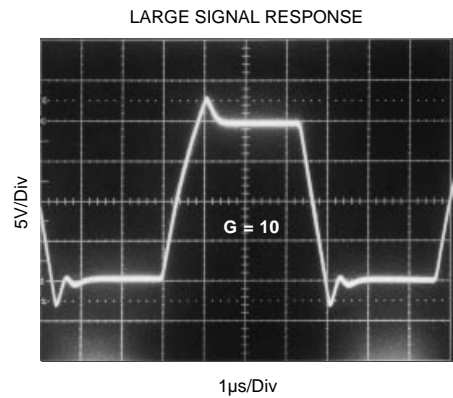
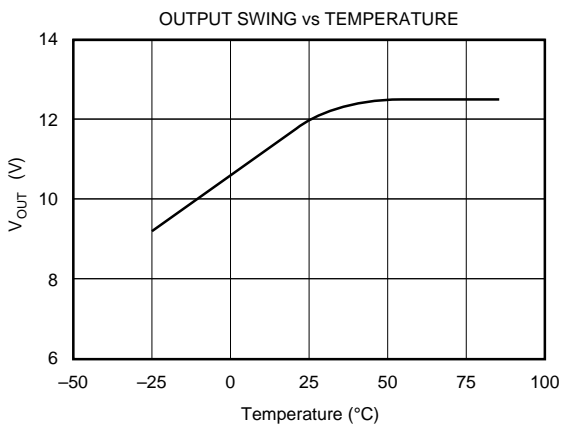
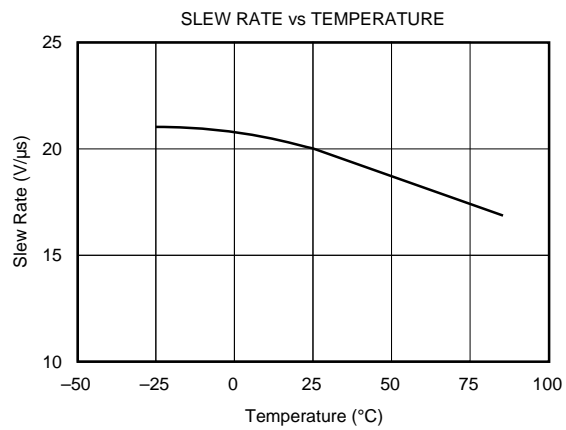
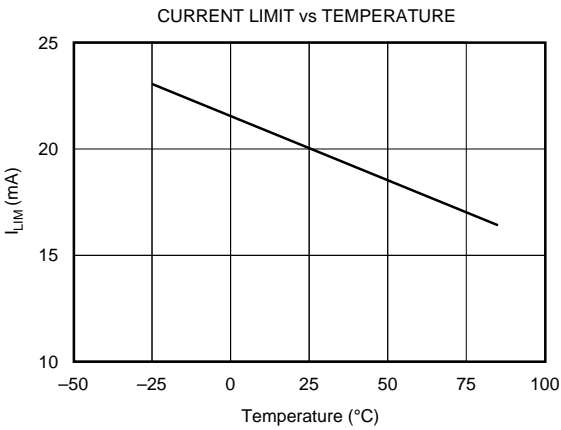
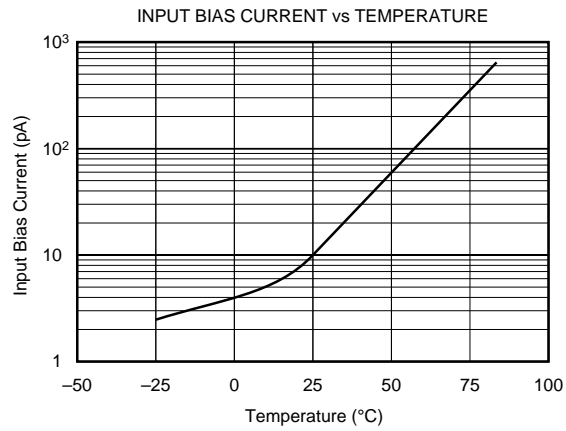
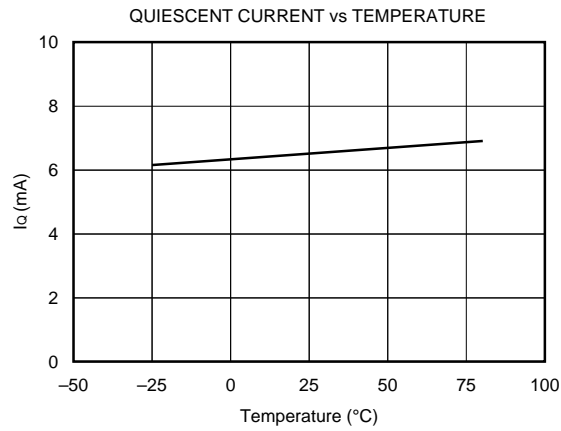
$T_A = +25^\circ\text{C}$ ,  $V_S = \pm 15\text{V}$  unless otherwise noted.





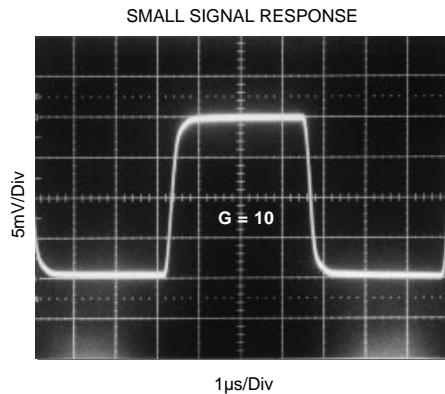
# TYPICAL PERFORMANCE CURVES (CONT)

$T_A = +25^{\circ}\text{C}$ ,  $V_S = \pm 15\text{V}$  unless otherwise noted.



## TYPICAL PERFORMANCE CURVES (CONT)

$T_A = +25^\circ\text{C}$ ,  $V_{CC} = \pm 15\text{V}$  unless otherwise noted.



## DISCUSSION OF PERFORMANCE

A simplified diagram of the PGA202/203 is shown on the first page. The design consists of a digitally controlled, differential transconductance front end stage using precision FET buffers and the classical transimpedance output stage. Gain switching is accomplished with a novel current steering technique that allows for fast settling when changing gains. The result is a high performance, programmable instrumentation amplifier with excellent speed and gain accuracy.

The input stage uses a new circuit topology that includes FET buffers to give extremely low input bias currents. The differential input voltage is converted into a differential output current with the transconductance gain selected by steering the input stage bias current between four identical input stages differing only in the value of the gain setting resistor. Each input stage is individually laser-trimmed for input offset, offset drift, and gain.

The output stage is a differential transimpedance amplifier. Unlike the classical difference amplifier output stage, the common-mode rejection is not limited by the resistor matching. However, the output resistors are laser-trimmed to help minimize the output offset and drift.

### BASIC CONNECTIONS

Figure 1 shows the proper connections for power supply and signal. The power supplies should be decoupled with 1μF tantalum capacitors placed as close to the amplifier as possible for maximum performance. To avoid gain and CMR errors introduced by the external components, you should connect the grounds as indicated. Any resistance in the sense line (pin 11) or the  $V_{REF}$  line (pin 4) will lead to a gain error, so these lines should be kept as short as possible. To also maintain stability, avoid capacitance from the output to the input or the offset adjust pins.

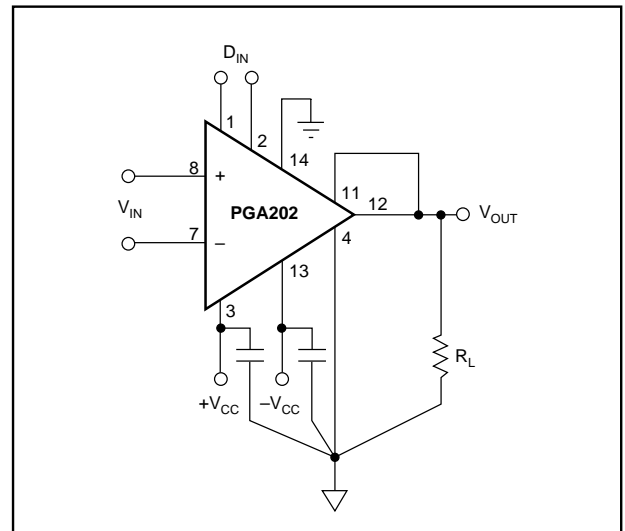


FIGURE 1. Basic Circuit Connections.

### OFFSET ADJUSTMENT

Figure 2 shows the offset adjustment circuits for the PGA202/203. The input offset and the output offset are both separately adjustable. Notice that because the PGA202/203 change between four different input stages to change gain, the input offset voltage will change slightly with gain. For systems using computer autozeroing techniques, neither offset nor drift is a major concern, but it should be noted that since the input offset does change with gain, these systems should perform an autozero cycle after each gain change for optimum performance.

In the output offset adjustment circuit, the choice of the buffering op amp is very important. The op amp needs to have low output impedance and a wide bandwidth to maintain full accuracy over the entire frequency range of the PGA202/203. For these reasons we recommend the OPA602 as an excellent choice for this application.

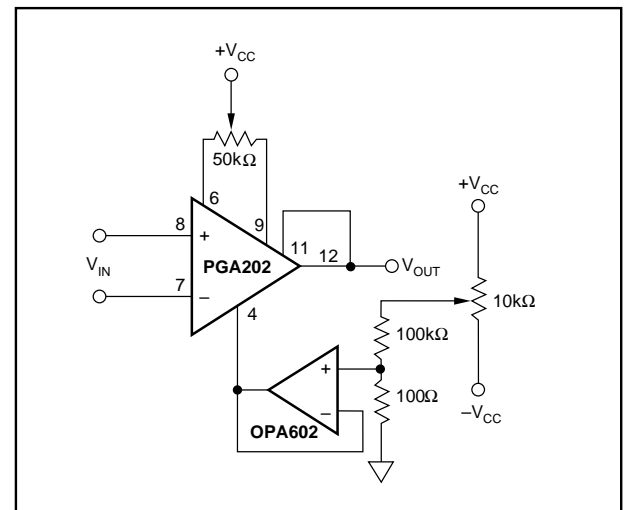


FIGURE 2. Offset Adjustment Circuits.

## GAIN SELECTION

Gain selection is accomplished by the application of a 2-bit digital word to the gain select inputs. Table I shows the gains for the different possible values of the digital input word. The logic inputs are referred to their own separate digital common pin, which can be connected to any voltage between the minus supply and 8V below the positive supply. The gains are all internally trimmed to an initial accuracy of better than 0.1%, so no external gain adjustment is required. However, if necessary the gains can be increased by the use of an external attenuator around the output stage as shown in Figure 3. Recommended resistor values for certain selected output gains are given in Table II.

		PGA202		PGA203	
A <sub>1</sub>	A <sub>0</sub>	GAIN	ERROR	GAIN	ERROR
0	0	1	0.05%	1	0.05%
0	1	10	0.05%	2	0.05%
1	0	100	0.05%	4	0.05%
1	1	1000	0.10%	8	0.05%

TABLE I. Software Gain Selection.

OUTPUT GAIN	R <sub>1</sub>	R <sub>2</sub>
2	5kΩ	5kΩ
5	2kΩ	8kΩ
10	1kΩ	9kΩ

TABLE II. Output Stage Gain Control.

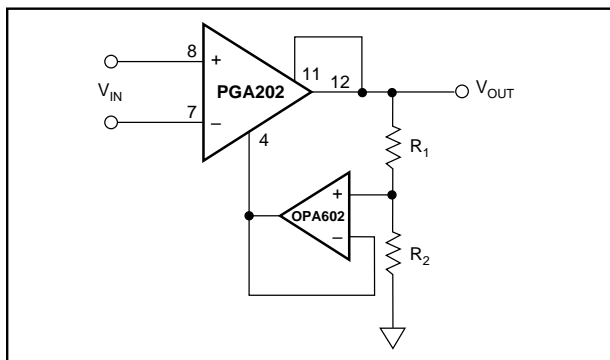


FIGURE 3. Gain Increase with Buffered Attenuator.

## COMMON-MODE INPUT RANGE

Unlike the classical three op amp type of circuit, the input common-mode range of the PGA202/203 does not depend on the differential input and the gain. In the standard three op amp circuit, the input common-mode signal must be kept below the maximum output voltage of the input amplifier minus 1/2 the final output voltage. If, for example, these amplifiers can swing  $\pm 12V$ , then to get 12V at the output you must restrict the input common-mode voltage to only 6V. The circuitry of the PGA202/203 is such that the common-mode input range applies to either input pin regardless of the output voltage.

## OUTPUT SENSE

An output sense has been provided to allow greater accuracy in connecting the load. By attaching this feedback point to the load at the load site, IR drops due to the load currents are eliminated since they are inside the feedback loop. Proper connection is shown in Figure 1. When more current is required, a power booster can be placed in the feedback loop as shown in Figure 4. Buffer errors are minimized by the loop gain of the output amplifier.

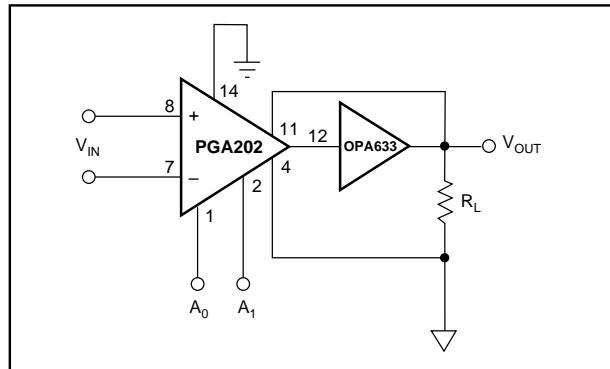


FIGURE 4. Current Boosting the Output.

## OUTPUT FILTERING

The summing nodes of the output amplifier have also been made available to allow for output filtering. By placing matched capacitors in parallel with the existing internal capacitors as shown in Figure 5, you can lower the frequency response of the output amplifier. This will reduce the noise of the amplifier, at the cost of a slower response. The nominal frequency responses for some selected values of capacitor are shown in Table III.

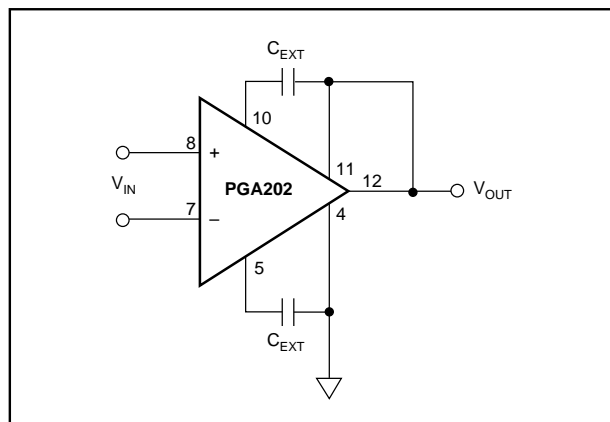


FIGURE 5. Output Filtering.

CUTOFF FREQUENCY	C <sub>1</sub> AND C <sub>2</sub>
1MHz	None
100kHz	47pF
10kHz	525pF

TABLE III. Output Frequency vs Filter Capacitors.

## INPUT CHARACTERISTICS

Because the PGA202/203 have FET inputs, the bias currents drawn through input source resistors have a negligible effect on DC accuracy. The picoamp currents produce no more than microvolts through megohm sources. The inputs are also internally diode clamped to the supplies. Thus, input filtering and input series protection are easily achievable.

A return path for the input bias currents must always be provided to prevent the charging of any stray capacitance. Otherwise, the amplifier could wander and saturate. A  $1\text{M}\Omega$  to  $10\text{M}\Omega$  resistor from the input to common will return floating sources such as thermocouples and AC-coupled inputs (see Applications Section, Figures 8 and 9.)

## DYNAMIC PERFORMANCE

The PGA202 and the PGA203 are fast-settling FET input programmable gain instrumentation amplifiers. Careful attention to minimize stray capacitance is necessary to achieve specified performance. High source resistance will interact with the input capacitance to reduce speed and overall bandwidth. Also, to maintain stability, avoid capacitance from the output to the input or the offset adjust pins.

Applications with balanced source impedance will provide the best performance. In some applications, mismatched source impedances may be required. If the impedance in the negative input exceeds that in the positive input, stray capacitance from the output will create a net negative feedback and improve the stability of the circuit. If, however, the impedance in the positive input is greater, then the feedback due to stray capacitance will be positive and instability may result. The degree of positive feedback will, of course, depend on the source impedance imbalance as well as the board layout and the operating gain. The addition of a small bypass capacitor of about 5 to 50pF directly across the input terminals of the PGIA will generally eliminate any instability arising from these stray capacitances. CMR errors due to the source imbalance will also be reduced by the addition of this capacitor.

The PGA202 and the PGA203 are designed for fast settling in response to changes in either the input voltage or the gain. The bandwidth and the settling times are mostly determined by the output stage and are therefore independent of gain, except at the highest gain of the PGA202 where other factors in the input stage begin to dominate.

## APPLICATIONS

In addition to general purpose applications, the PGA202/203 are designed to handle two important and demanding classes of applications: inputs with high source impedances, and rapid scanning data acquisition systems requiring fast settling time. Because the user has access to output sense and output common pins, current sources can also be constructed with a minimum of external components. Some basic application circuits are shown in Figures 6 through 12.

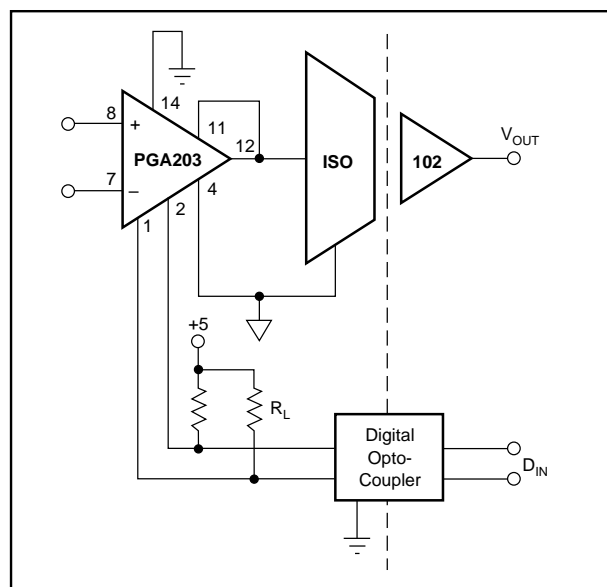


FIGURE 6. Isolated Programmable Gain Instrumentation Amplifier.

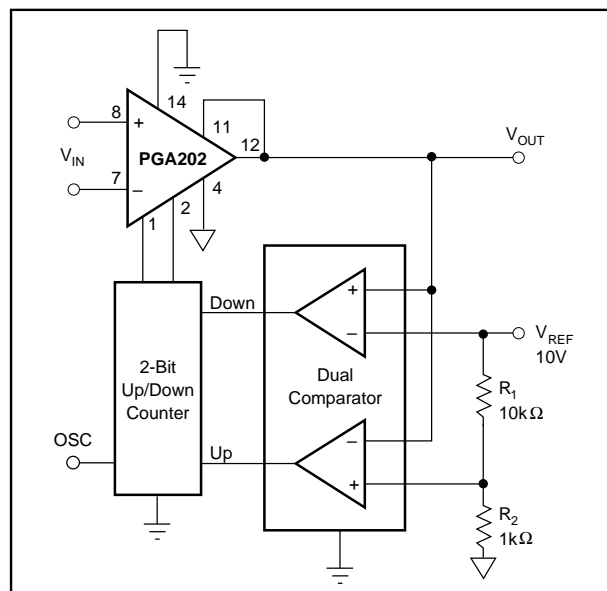


FIGURE 7. Auto Gain Ranging.

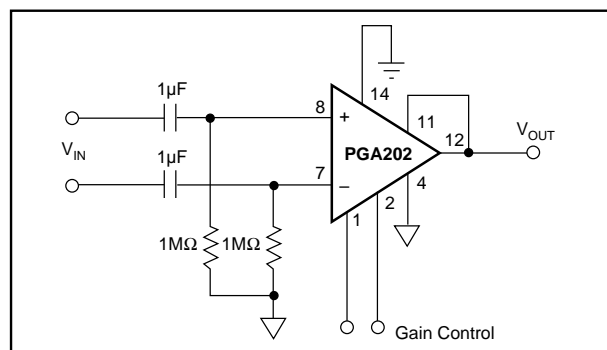


FIGURE 8. AC-Coupled Differential Amplifier for Frequencies Above 0.16Hz.

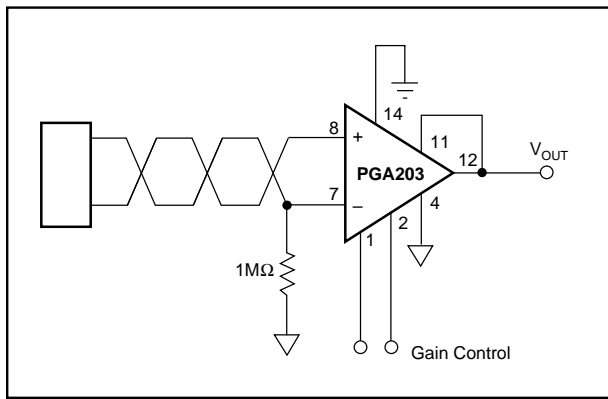


FIGURE 9. Floating Source Programmable Gain Instrumentation Amplifier.

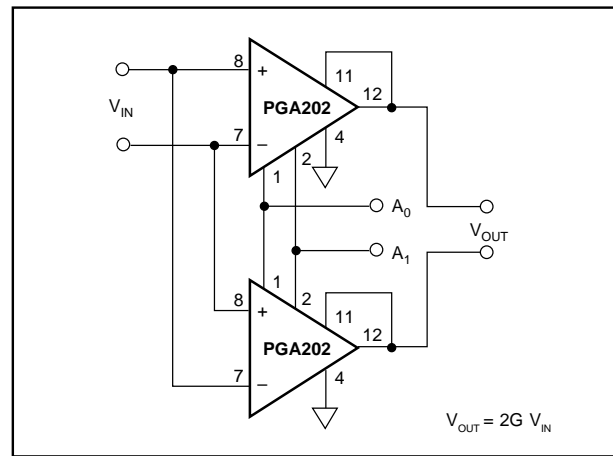


FIGURE 11. Programmable Differential In/Differential Out Amplifier.

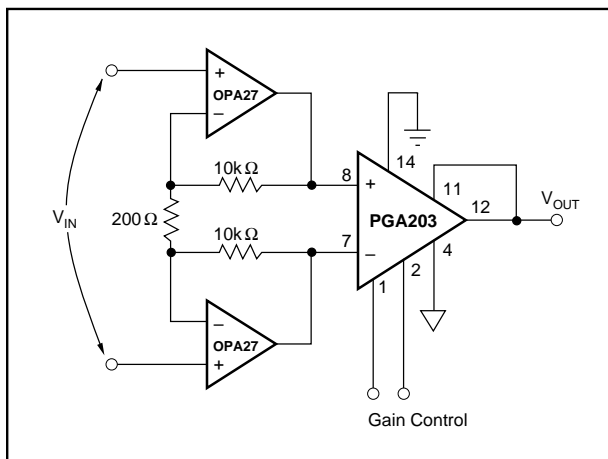


FIGURE 10. Low Noise Differential Amplifier with Gains of 100, 200, 400, 800.

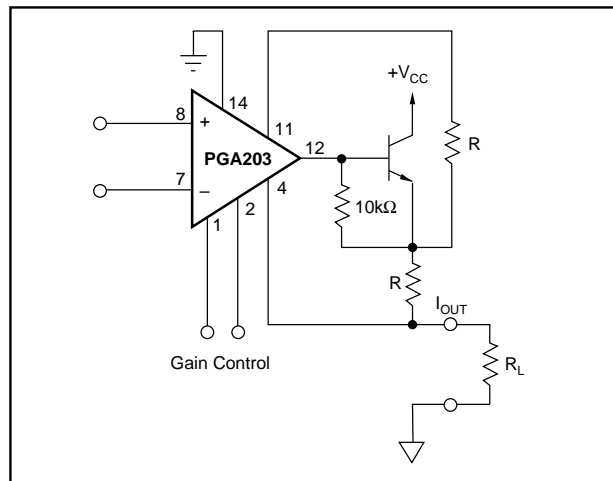


FIGURE 12. Programmable Current Source.

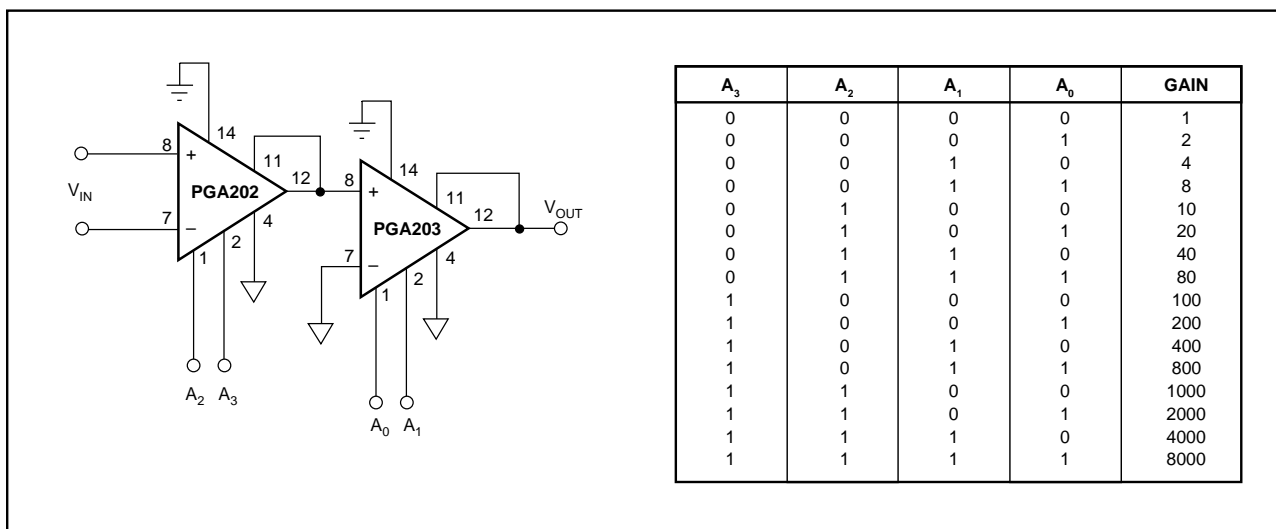


FIGURE 13. Cascaded Amplifiers.

## **IMPORTANT NOTICE**

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgment, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Customers are responsible for their applications using TI components.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.